

Проектирование и тестирование логических устройств

УДК 621.377.6

Д. В. Пивоваров

Кафедра «Автоматика и телемеханика на железных дорогах»,
Петербургский государственный университет путей сообщения
Императора Александра I

СИНТЕЗ JK-ТРИГГЕРОВ С РАЗЛИЧНЫМИ СВОЙСТВАМИ

Описывается процесс синтеза асинхронных JK-триггеров с различными свойствами с использованием теории конечных автоматов. Выявляется недостаток обычной реализации асинхронного JK-триггера, после чего описывается процесс синтеза JK-триггера без этого недостатка. Представлены четыре реализации JK-триггеров в виде принципиальной схемы в программе Multisim. При реализации триггеров в программе Multisim были предусмотрены некоторые конструктивные особенности, необходимые для корректной работы триггеров. Описана работа каждой реализации JK-триггера в виде временных диаграмм. На временных диаграммах показаны недостатки обычных реализаций JK-триггеров и отсутствие таковых в синтезированных триггерах. Смоделирована работа триггера марки 74LS107D в программе Multisim. Показано, что реальные схемы триггеров не имеют описанных недостатков.

конечный автомат; триггер; JK flip-flop; синтез триггера; Multisim

Введение

Проблемы логического проектирования дискретных устройств носят общий характер и являются первостепенными в задачах синтеза надежных дискретных систем [1–11]. Интересным в этой связи является построение схем элементов памяти, являющихся важными звеньями в составе конечных автоматов [12].

Триггеры – класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Отличительная особенность триггера как функционального устройства – свойство запоминания двоичной информации [13].

Основная классификационная схема, независимая от функциональной, характеризует триггеры по способу ввода информации и оценивает их по времени обновления выходной информации относительно момента смены информации на входах. Например, триггеры JK-типа могут быть в синхронном или асинхронном исполнениях [14].

Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего сигнала (или сигналов) на входе [15, 16]. Синхронный триггер реагирует на входные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации C (от *англ.* clock). Такие информационные входы называют синхронными.

Широкое применение триггеры получили при реализации разного рода конечных автоматов.

Рассмотрим работу JK-триггера (рис. 1 и табл. 1). Триггер имеет два входа – J и K, а также два выхода – прямой Q и инверсный \bar{Q} .

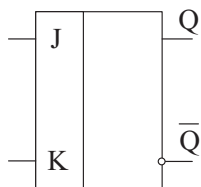


Рис. 1. Условное обозначение JK-триггера

Таблица 1. Таблица работы JK-триггера

J	K	Q_t
0	0	Q_{t-1}
0	1	0
1	0	1
1	1	$\overline{Q_{t-1}}$

В качестве синхронного триггера рассмотрим JK flip-flop (рис. 2 и табл. 2). Изменение сигнала на выходе триггера происходит при изменении сигнала на входе синхронизации с 0 в 1 или с 1 в 0.

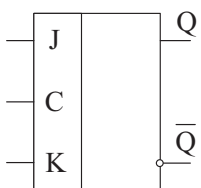


Рис. 2. Условное обозначение JK flip-flop

Таблица 2. Таблица работы JK flip-flop

C	K	J	Q_t
$0 \rightarrow 1$	\sim	\sim	Q_{t-1}
$1 \rightarrow 0$	0	0	Q_{t-1}
$1 \rightarrow 0$	0	1	1
$1 \rightarrow 0$	1	0	0
$1 \rightarrow 0$	1	1	$\overline{Q_{t-1}}$

В данной статье рассматривается вопрос синтеза логических схем JK-триггеров с использованием теории конечных автоматов.

1 Синтез асинхронного JK-триггера

Для синтеза триггера достаточно знать таблицу его работы (см. табл. 1). Построим граф переходов асинхронного JK-триггера с помощью программы JFLAP (рис. 3). С помощью данной программы можно экспериментировать с различными объектами, встречающимися в теории формальных языков. В данном случае нас интересует ее возможности по изображению графа переходов конечного автомата.

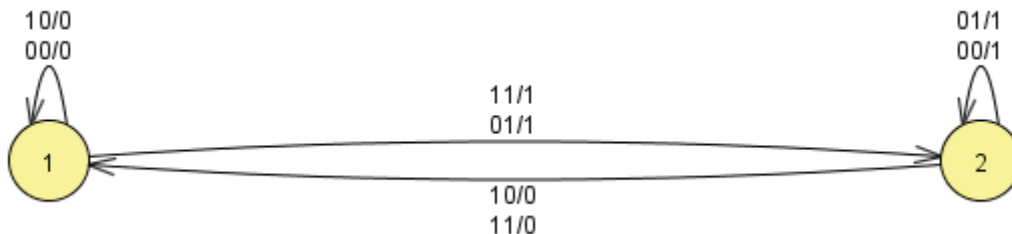


Рис. 3. Граф переходов асинхронного JK-триггера

По полученному графу переходов можно составить таблицу переходов и выходов (табл. 3), а затем и кодированную таблицу переходов (табл. 4).

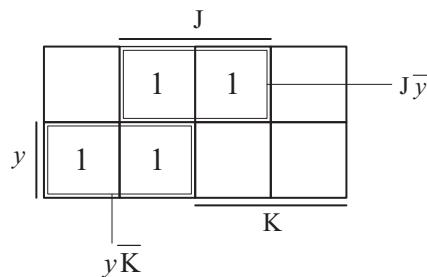
Таблица 3. Таблица переходов и выходов асинхронного JK-триггера

S	KJ			
	00	01	10	11
1	$\langle 1 \rangle, 0$	$\langle 1 \rangle, 0$	$2, 1$	$2, 1$
2	$\langle 2 \rangle, 1$	$1, 0$	$\langle 2 \rangle, 1$	$1, 0$

Таблица 4. Кодированная таблица переходов асинхронного JK-триггера

S	Y	KJ			
		00	01	10	11
1	0	0,0	0,0	1,1	1,1
2	1	1,1	0,0	1,1	0,0

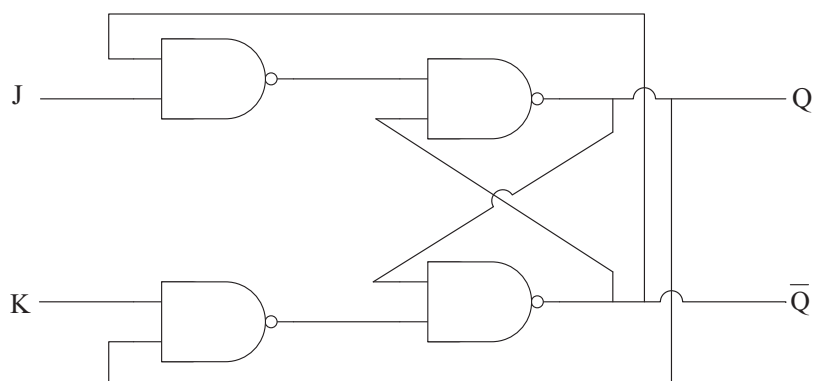
Заметим, что $Y = Q$. Другими словами, функция выхода совпадает с функцией внутреннего состояния триггера. Для реализации устройства выберем базис Шеффера (И-НЕ). Построим карту Карно для функции выхода (рис. 4).

**Рис. 4.** Карта Карно для функции выхода

Путем преобразований получаем:

$$Q = y\bar{K} \vee J\bar{y} = J\bar{y} \vee (\bar{K} \vee \bar{y})y = \overline{\overline{Jy\bar{K}y}}$$

Схема показана на рис. 5.

**Рис. 5.** Принципиальная схема асинхронного JK-триггера

Из таблиц переходов и графа переходов видно, что при $J = K = 1$ триггер будет непрерывно переходить из одного состояния в другое, пока на одном из входов не появится сигнал логического 0. В [17] Вал. В. Сапожниковым

и Вл. В. Сапожниковым описан JK-триггер без этого недостатка. Синтезируем триггер Сапожниковых, для чего построим граф переходов (рис. 6).

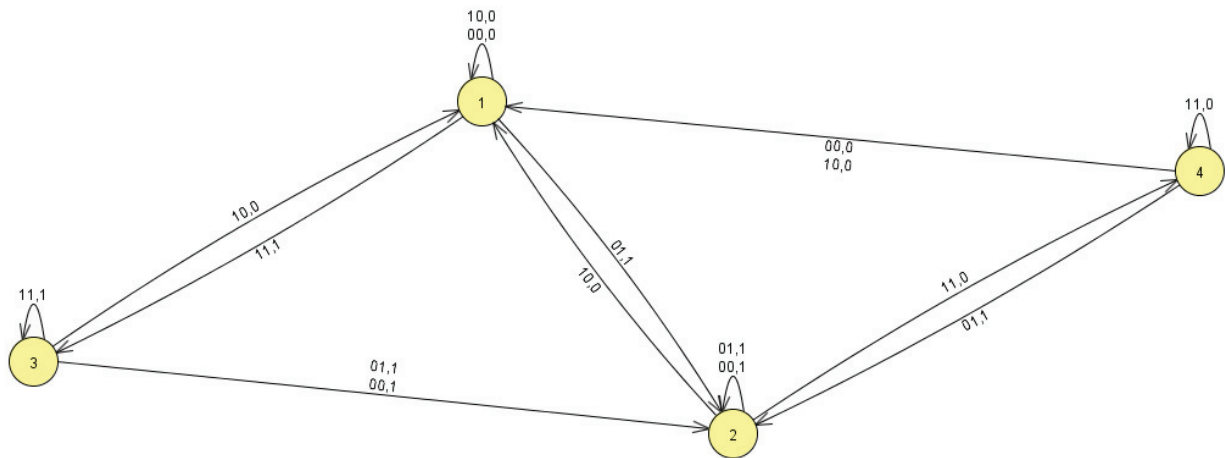


Рис. 6. Граф переходов триггера Сапожниковых

По полученному графу построим таблицу переходов (табл. 5) и кодированную таблицу переходов (табл. 6).

Таблица 5. Таблица переходов триггера Сапожниковых

S	KJ			
	00	01	10	11
1	<1>,0	2,1	<1>,0	3,1
2	<2>,1	<2>,1	1,0	4,0
3	2,1	2,1	1,0	<3>,1
4	1,0	2,1	1,0	<4>,0

Таблица 6. Кодированная таблица переходов триггера Сапожниковых

S	Y ₁ Y ₂	KJ			
		00	01	10	11
1	00	00,0	11,1	00,0	01,1
2	11	11,1	11,1	00,0	10,0
3	01	11,1	11,1	00,0	01,1
4	10	00,0	11,1	00,0	10,0

Из кодированной таблицы переходов видно, что функция выхода Q совпадает с функцией внутреннего состояния триггера Y₂. Для реализации устройства также выберем базис Шеффера (И-НЕ). Построим карты Карно для функции состояний триггера (рис. 7).

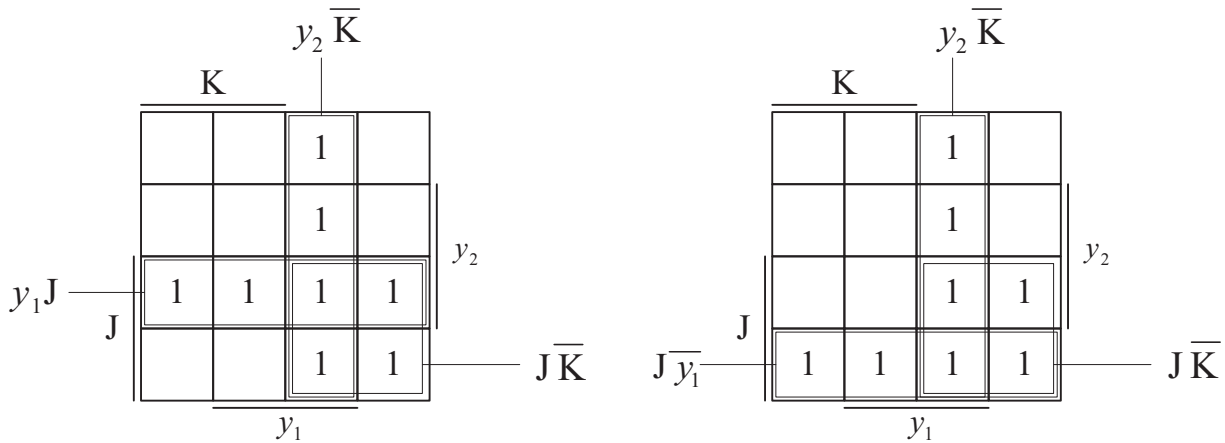


Рис. 7. Карты Карно для функции Y1 (слева) и Y2 (справа)

Путем преобразования получим:

$$Y_1 = y_1 \vee y_2 \vee J\bar{K} = \overline{\overline{y_1 y_2}} \vee J\bar{K} = \overline{\overline{y_1 y_2} J\bar{K}};$$

$$Q = Y_2 = \bar{y}_1 \vee y_2 \vee J\bar{K} = \overline{\overline{\bar{y}_1 y_2}} \vee J\bar{K} = \overline{\overline{\bar{y}_1 y_2} J\bar{K}}.$$

Схема показана на рис. 8.

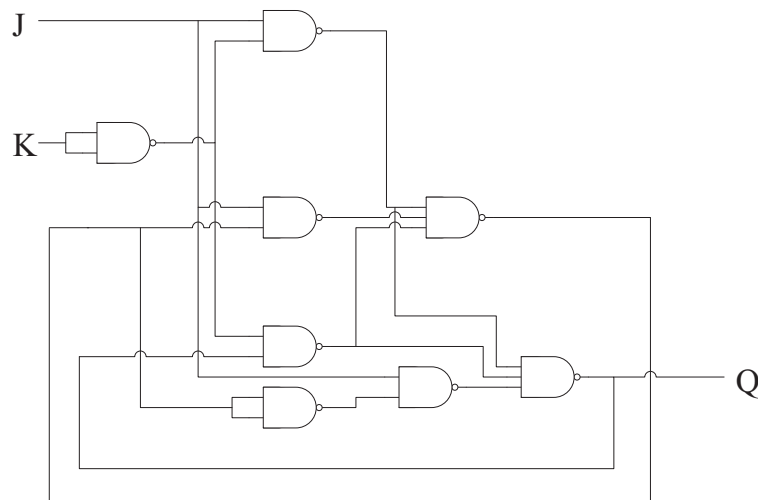


Рис. 8. Принципиальная схема триггера Сапожниковых

Перейдем к синтезу синхронного JK-триггера.

2 Синтез синхронного JK-триггера

В силу схожести рассуждений опустим часть описаний и покажем основной результат (рис. 9, табл. 7, 8).

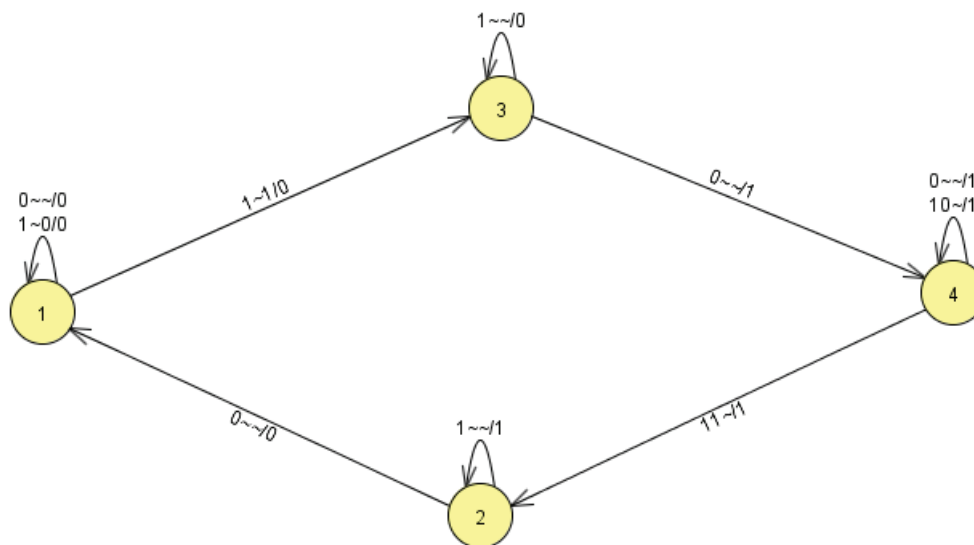


Рис. 9. Граф переходов JK flip-flop

Таблица 7. Первичная таблица переходов и выходов

S	СКJ				
	0~	100	101	110	111
1	<1>,0	<1>,0	3,0	<1>,0	3,0
2	1,0	<2>,1	<2>,1	<2>,1	<2>,1
3	4,1	<3>,0	<3>,0	<3>,0	<3>,0
4	<4>,1	<4>,1	<4>,1	2,1	2,1

Таблица 8. Кодированная таблица переходов и выходов

Q ₁ Q ₂	СКJ				
	0~	100	101	110	111
00	00,0	00,0	10,0	00,0	10,0
01	00,0	01,1	01,1	01,1	01,1
10	11,1	10,0	10,0	10,0	10,0
11	11,1	11,1	11,1	01,1	01,1

По полученной кодированной таблице переходов построим карты Карно для функции состояний триггера (рис. 10).

В результате минимизации получены выражения:

$$Q_1 = y_1 \bar{C} \vee y_1 \bar{K} \vee y_1 \bar{y}_2 \vee \bar{y}_2 J C;$$

$$Q_2 = y_1 \bar{C} \vee y_2 C.$$

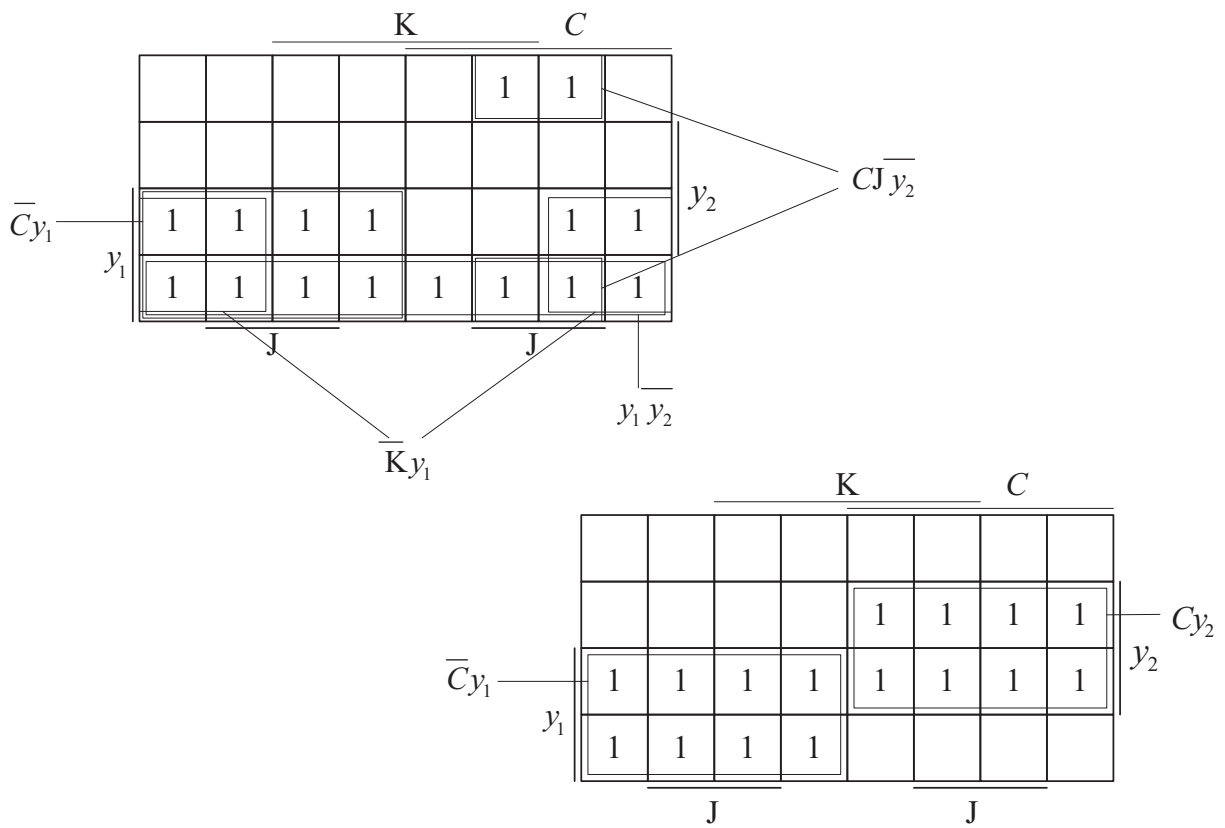


Рис. 10. Карты Карно для функций Q_1 (слева) и Q_2 (справа)

Как и при реализации асинхронного JK-триггера, будем использовать базис Шеффера. Для этого преобразуем выражения для Q_1 и Q_2 :

$$Q_1 = \overline{\overline{\overline{\overline{y_1 C K y_2 y_2 J C}}}}$$

$$Q_2 = \overline{\overline{\overline{\overline{C y_1 y_2 y_1 C}}}}$$

Схема показана на рис. 11.

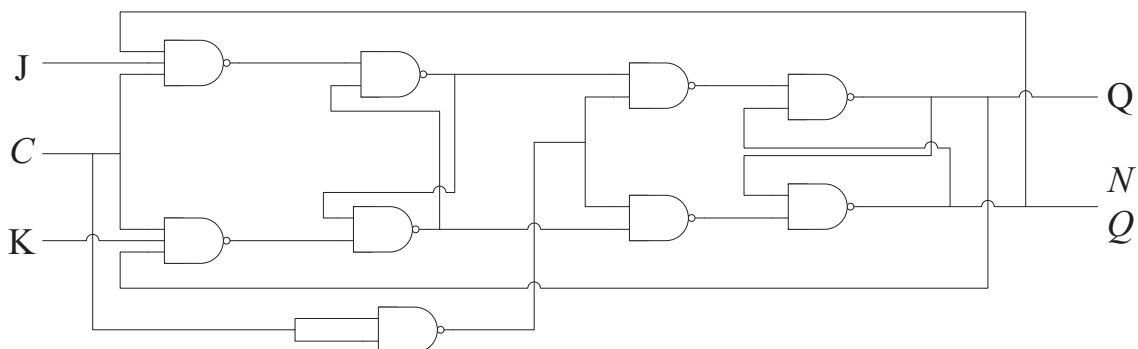


Рис. 11. Принципиальная схема JK flip-фlop

Из графа переходов можно видеть, что триггер будет менять свое состояние, если сигнал на входе J или K будет короче, чем сигнал на входе C. Это является недостатком такой реализации СJK-триггера. Синтезируем триггер без этого недостатка, для чего построим граф переходов (рис. 12) и таблицы переходов (табл. 9, 10).

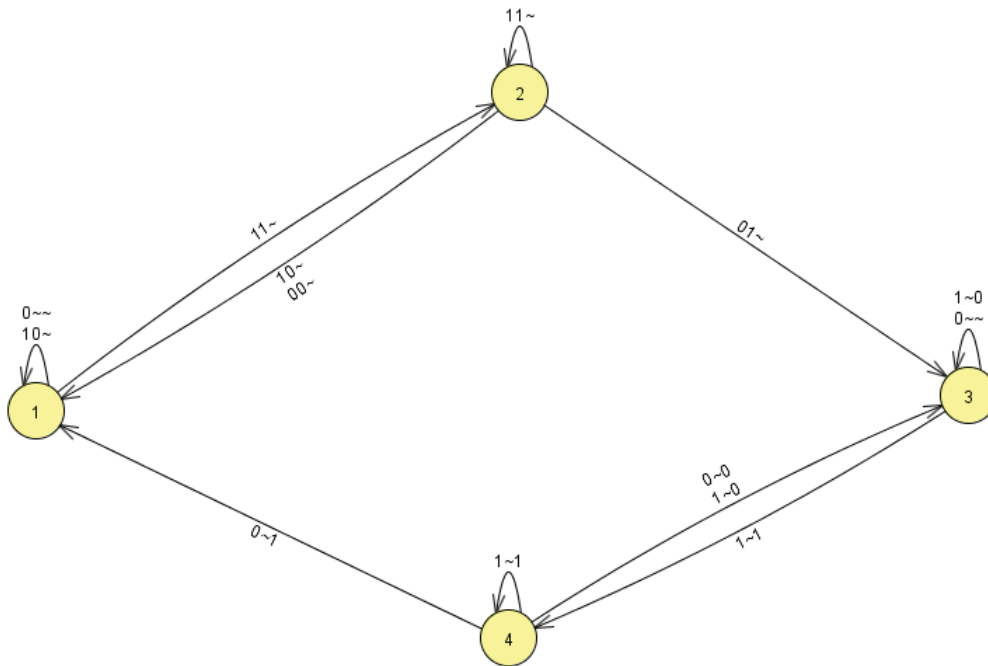


Рис. 12. Граф переходов JK flip-flop без недостатка

Таблица 9. Таблица переходов JK flip-flop без недостатка

S	CJK							
	000	001	010	011	100	101	110	111
1	<1>,0	<1>,0	<1>,0	<1>,0	<1>,0	<1>,0	2,0	2,0
2	1,0	1,0	3,1	3,1	1,0	1,0	<2>,0	<2>,0
3	<3>,1	<3>,1	<3>,1	<3>,1	<3>,1	4,1	<3>,1	4,1
4	3,1	1,0	3,1	1,0	3,1	<4>,1	3,1	<4>,1

Таблица 10. Кодированная таблица переходов JK flip-flop без недостатка

S	Y ₁ Y ₂	CJK							
		000	001	010	011	100	101	110	111
1	00	00	00	00	00	00	00	10	10
2	10	00	00	11	11	00	00	10	10
3	11	11	11	11	11	11	01	11	01
4	01	11	00	11	00	11	01	11	01

Из графа видно, что если во втором состоянии на входе J установится значение логического 0, то триггер перейдет в первое состояние и не изменит свое выходное состояние.

По полученной кодированной таблице переходов построим карты Карно для функции состояний триггера (рис. 13).

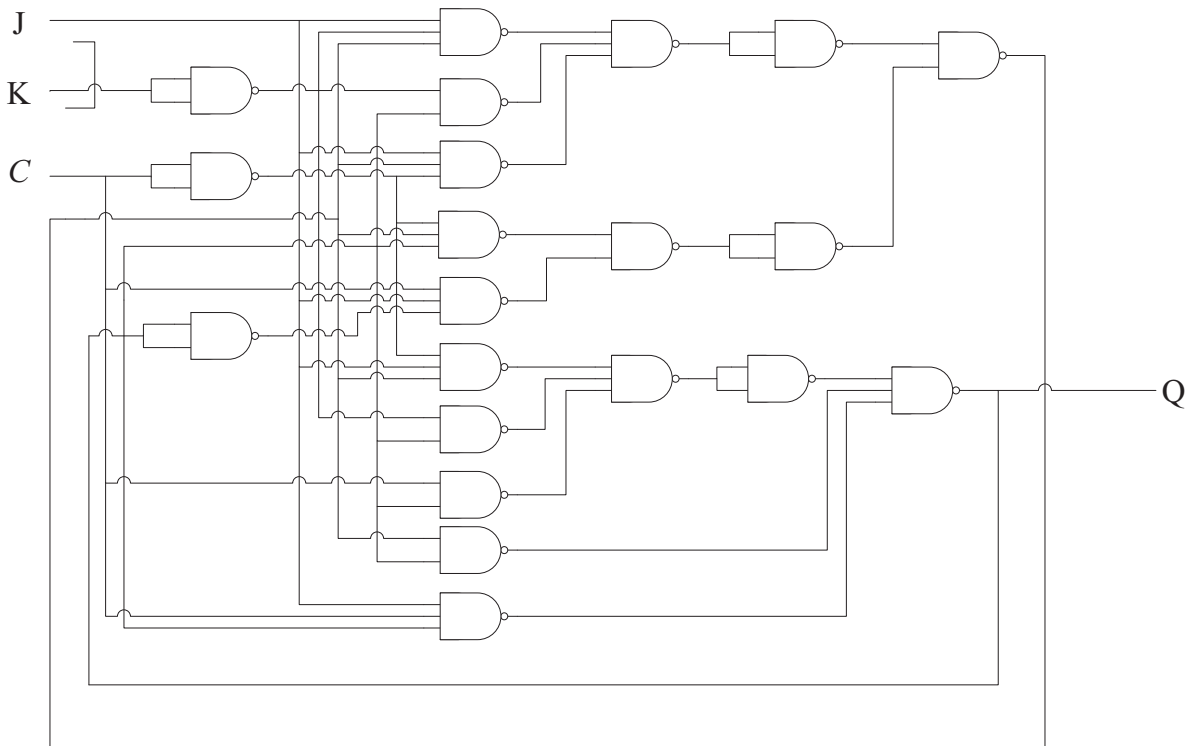


Рис. 13. Принципиальная схема СJK-триггера без недостатка

В результате минимизации получены выражения:

$$Y_1 = \bar{K}y_2 \vee J\bar{K}y_2 \vee CJ\bar{y}_2 \vee \bar{C}y_1y_2 \vee J\bar{C}y_1;$$

$$\bar{C}Jy_1 \vee \bar{K}y_2 \vee Cy_2 \vee y_1y_2 \vee JCy_2.$$

Для реализации устройства также выберем базис Шеффера:

$$Y_1 = \overline{\overline{\overline{K}y_2} \overline{\overline{J\bar{K}y_2} \overline{\overline{CJ\bar{y}_2} \overline{\overline{\bar{C}y_1y_2} \overline{\overline{J\bar{C}y_1}}}}}}}$$

$$Y_2 = \overline{\overline{\overline{\bar{C}Jy_1} \overline{\overline{\bar{K}y_2} \overline{\overline{Cy_2} \overline{\overline{y_1y_2} \overline{\overline{JCy_2}}}}}}}}}$$

Схема показана на рис. 14.

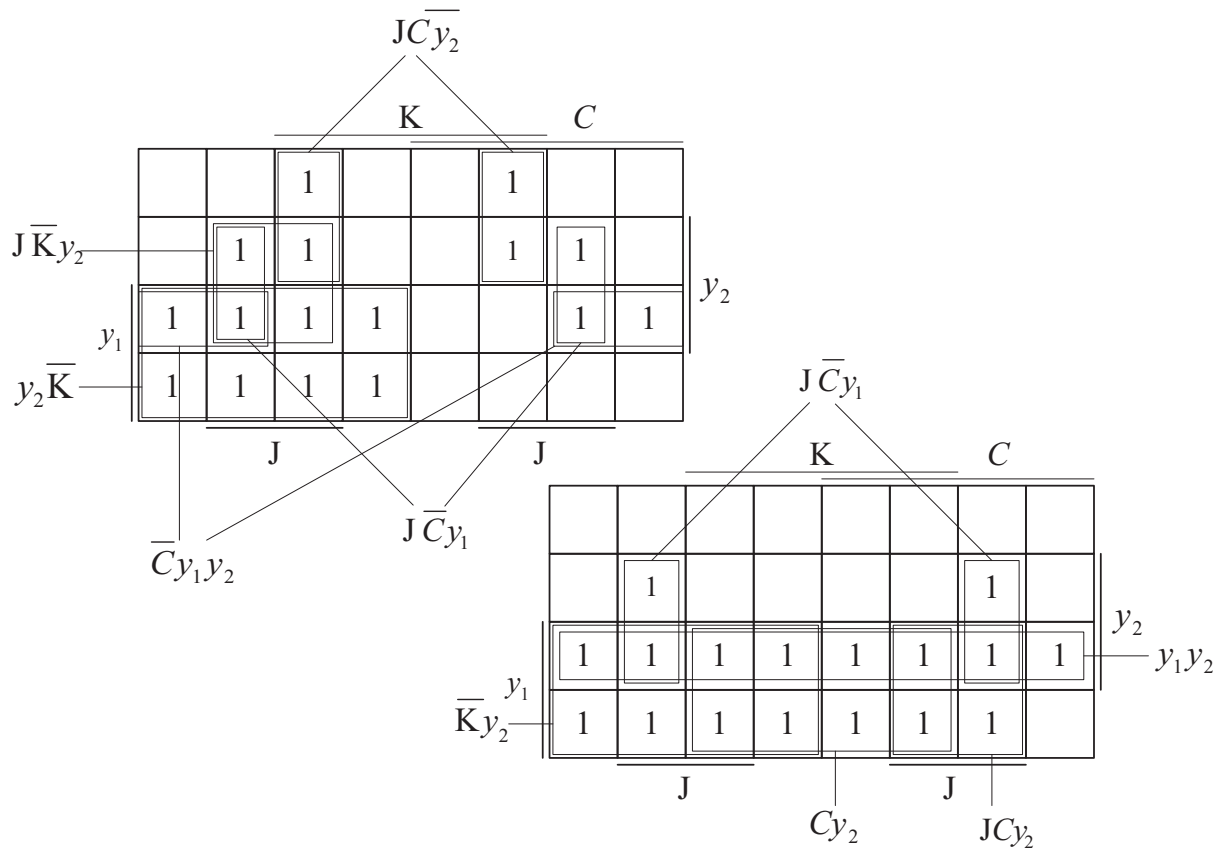


Рис. 14. Карты Карно для функций Y_1 (слева) и Y_2 (справа)

3 Реализация триггеров

Построим схемы триггеров по полученным формулам в программе Multisim и смоделируем их работу. Начнем с асинхронного JK-триггера (рис. 15, 16).

Как видно из диаграммы на рис. 16, схема работает корректно за исключением случая, когда на входы подавались две единицы.

Далее смоделируем работу триггера Сапожниковых (рис. 17, 18).

Как видно из диаграммы на рис. 18, устройство работает абсолютно корректно и не имеет недостатка обычного асинхронного JK-триггера.

Построим схему синхронного JK-триггера (рис. 19, 20).

Для корректной работы схемы были предусмотрены входы сброса (Clr) и установки (Set). Из диаграммы видно, что устройство работает корректно, также виден недостаток данной реализации синхронного JK-триггера, описанный выше.

Смоделируем схему JK flip-flop без недостатка (рис. 21). Как и в предыдущей схеме, здесь был предусмотрен вход предустановки (Set). Из временной диаграммы (рис. 22) видно, что схема работает абсолютно корректно и не имеет недостатка обычного синхронного JK-триггера.

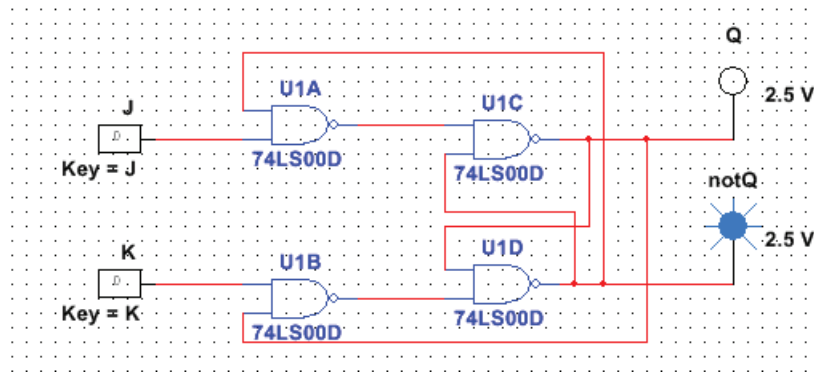


Рис. 15. Принципиальная схема асинхронного JK-триггера

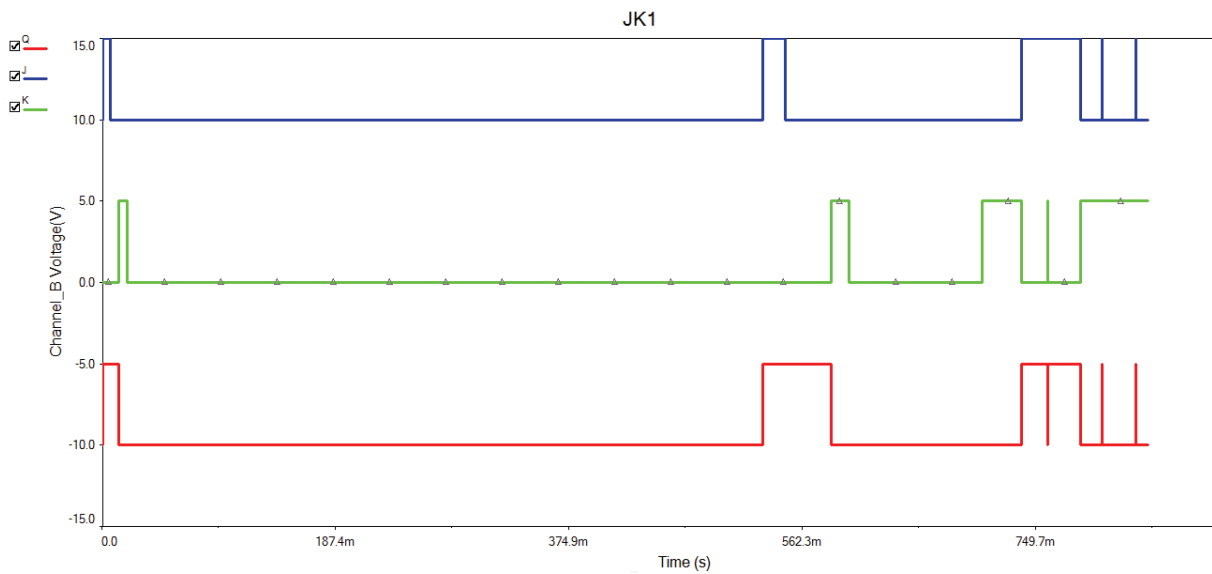


Рис. 16. Временная диаграмма работы асинхронного JK-триггера

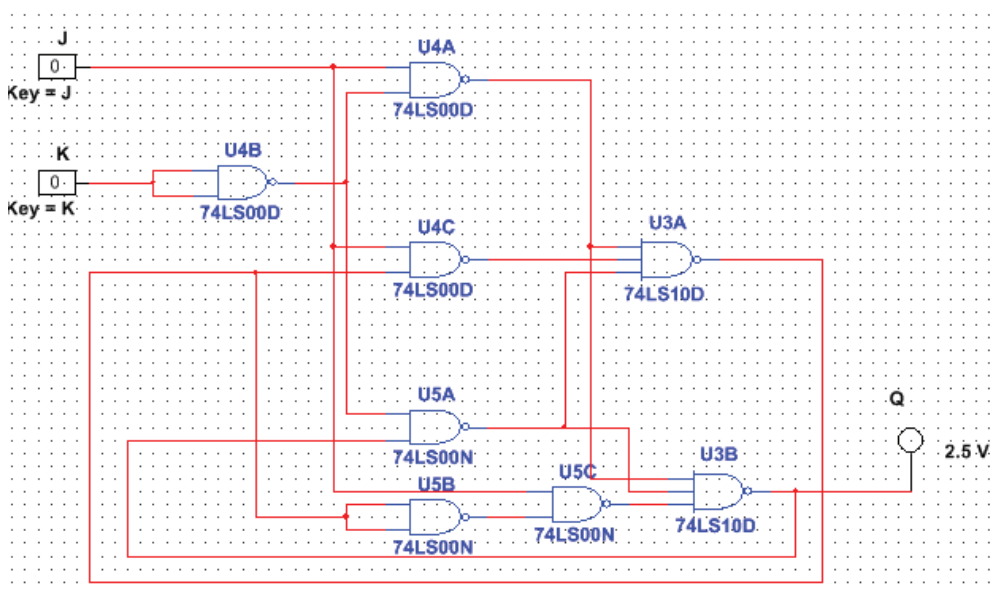


Рис. 17. Принципиальная схема триггера Сапожниковых

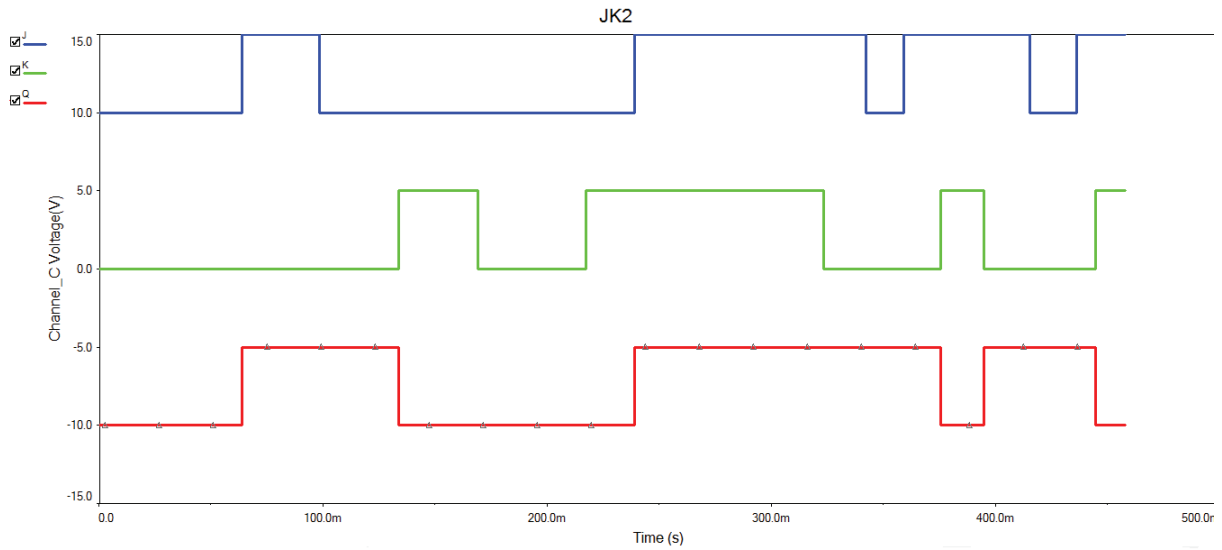


Рис. 18. Временная диаграмма работы триггера Сапожниковых

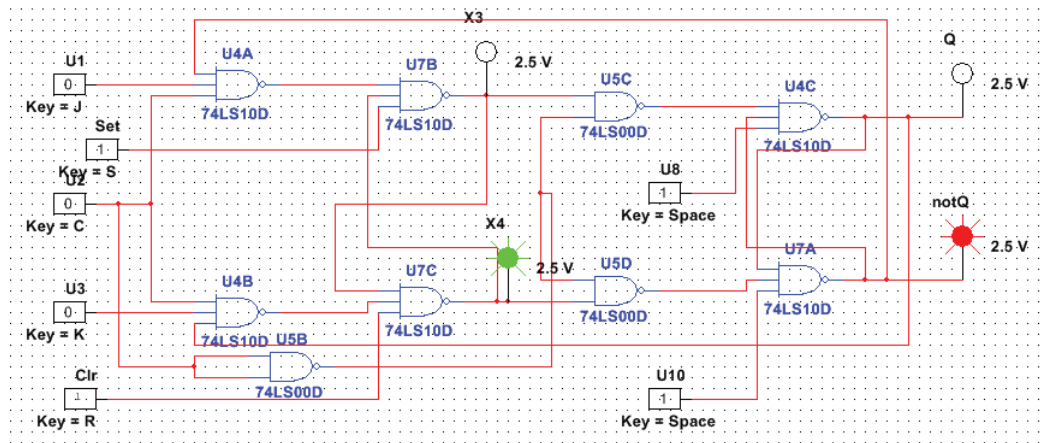


Рис. 19. Принципиальная схема JK flip-flop

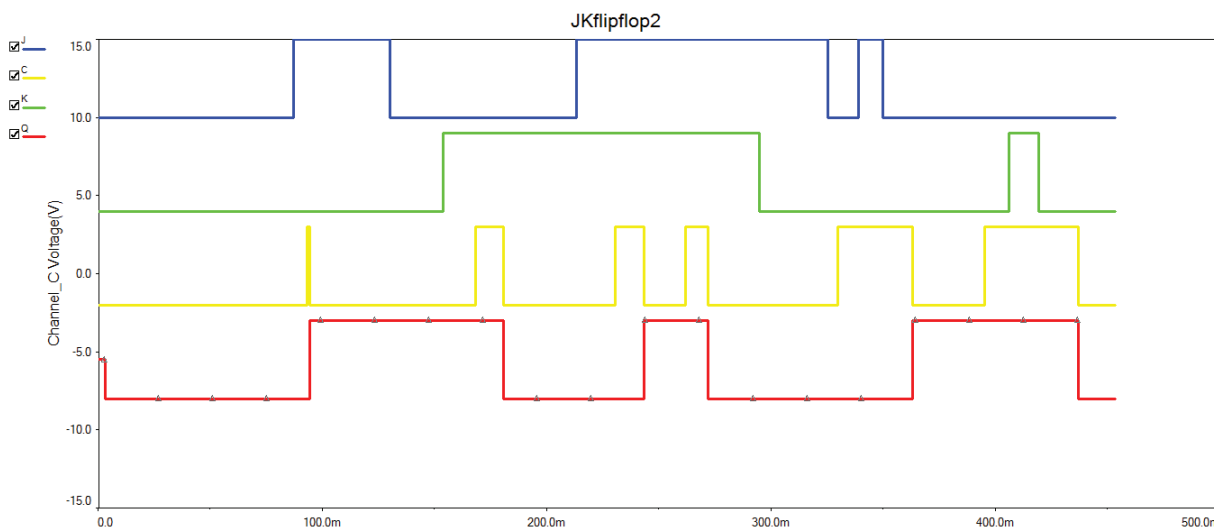


Рис. 20. Временная диаграмма работы JK flip-flop

Стоит также проверить, есть ли описанный недостаток в реальных триггерах. Для этого смоделируем работу синхронного JK-триггера марки 74LS107D (рис. 23, 24).

Как видно из временной диаграммы, JK-триггер марки 74LS107D не имеет описанного выше недостатка.

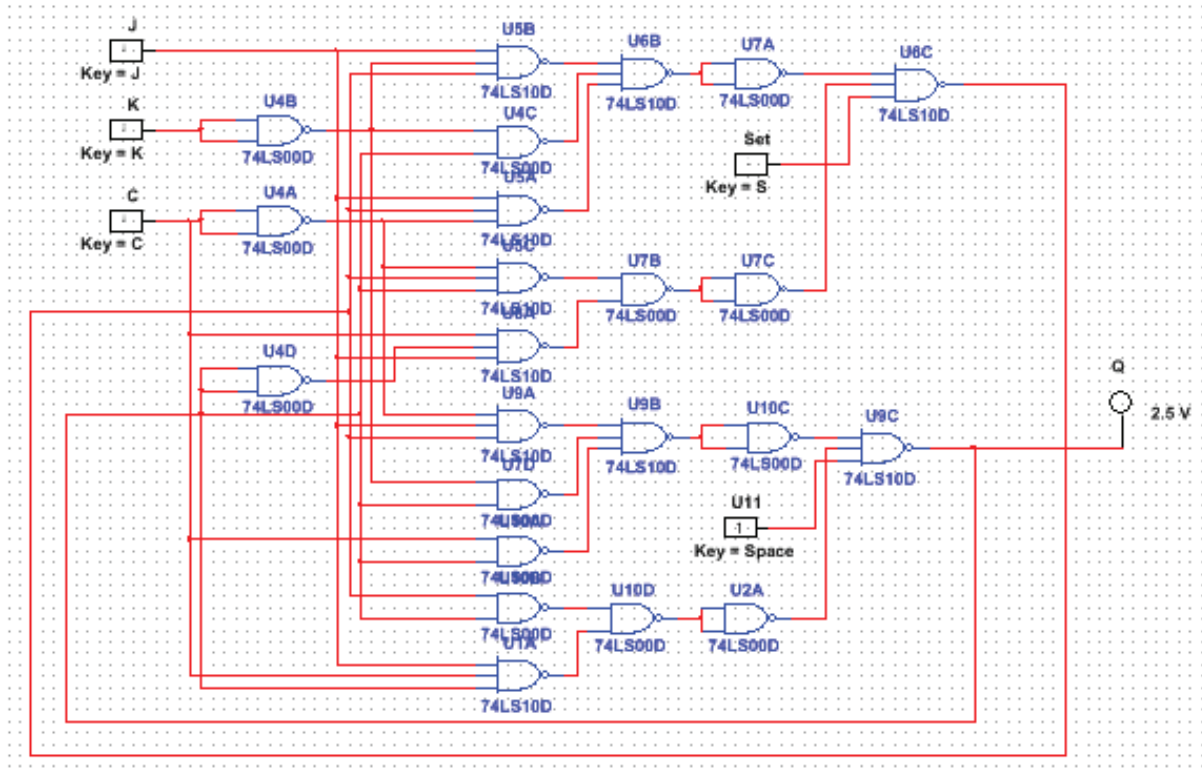


Рис. 21. Принципиальная схема JK flip-flop без недостатка

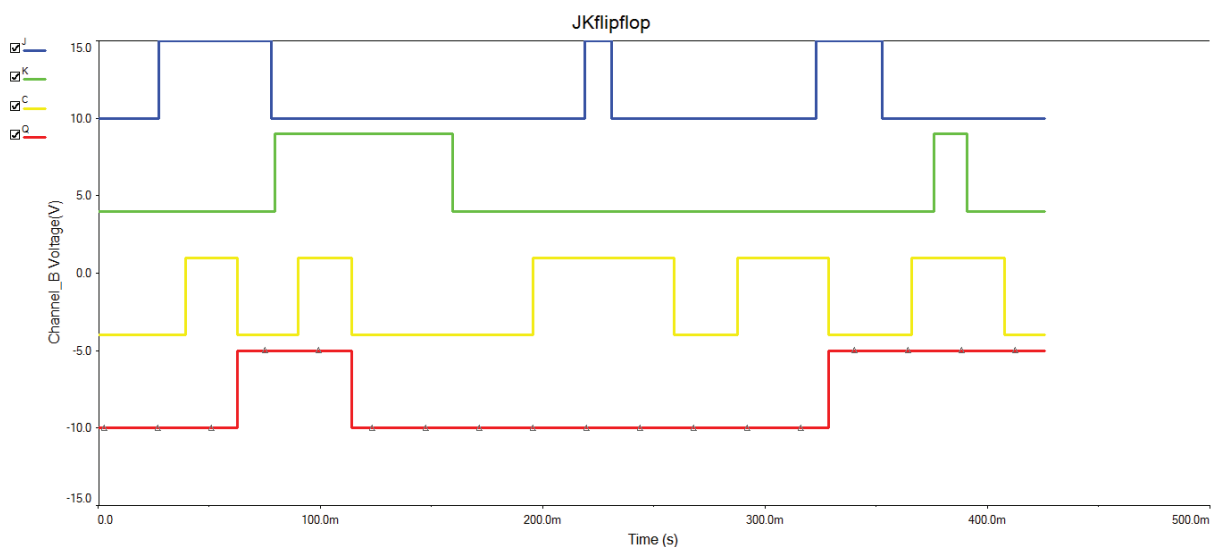


Рис. 22. Временная диаграмма работы JK flip-flop без недостатка

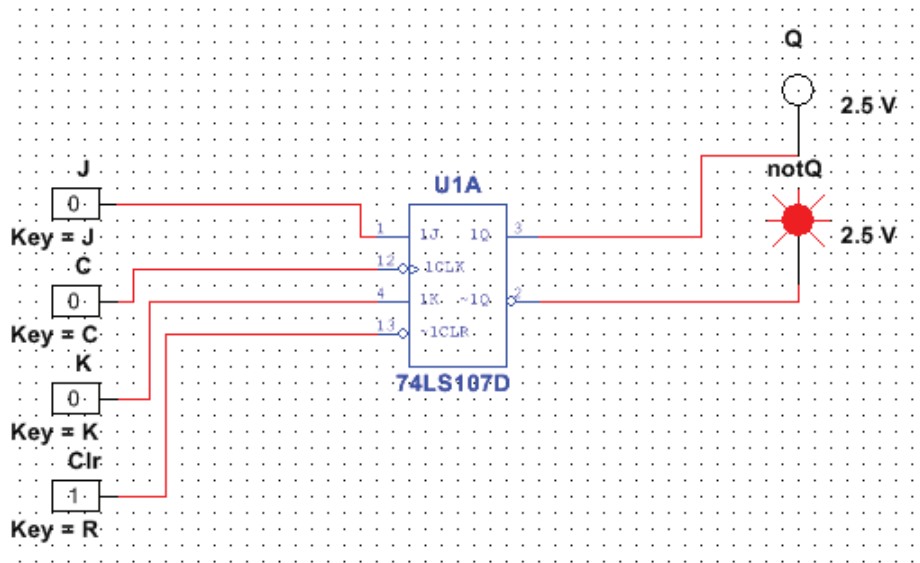


Рис. 23. Моделирование триггера марки 74LS107D

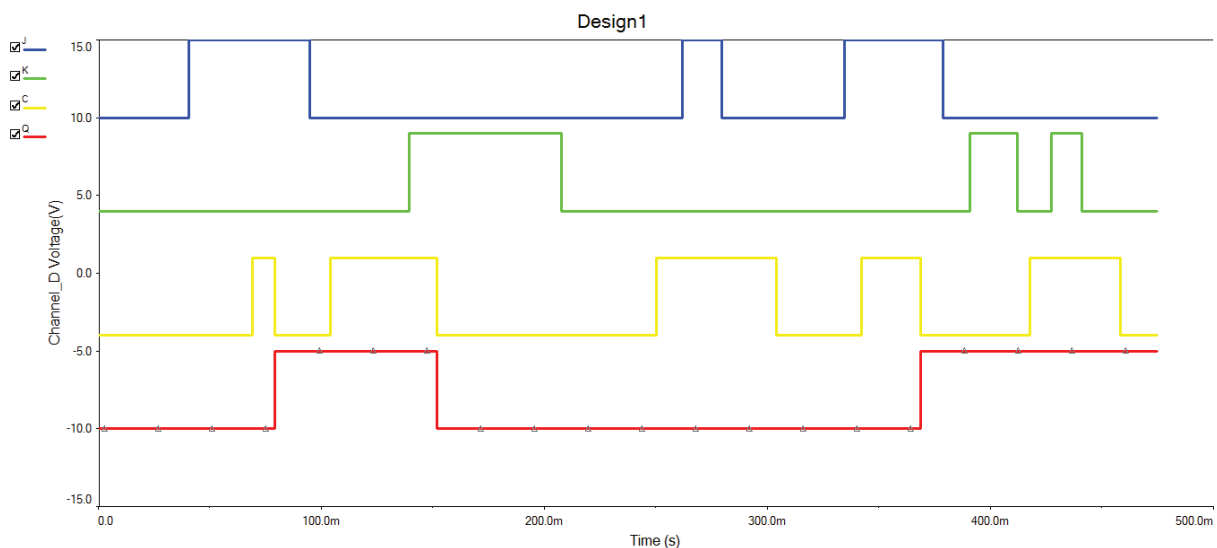


Рис. 24. Временная диаграмма работы триггера марки 74LS107D

Заключение

В обычных схемах асинхронного и синхронного JK-триггеров имеются недостатки, осложняющие работу с ними. Асинхронный триггер при подаче на вход двух единиц работает как тактовый генератор, а синхронный триггер будет менять свое состояние, даже если сигнал на информационных входах короче, чем сигнал на тактовом входе. Данные недостатки не позволяют строить безопасные схемы на основе таких реализаций JK-триггеров. В данной статье по методологии, описанной в [18], были синтезированы варианты реализации JK-триггеров без описанных недостатков. Стоит отметить, что схемы

триггера Сапожниковых и JK flip-flop без недостатка получились заметно сложнее обычных реализаций JK-триггеров. Работа всех синтезированных триггеров была смоделирована в программе Multisim, и были представлены временные диаграммы работы всех триггеров. На данных временных диаграммах были показаны недостатки обычных реализаций JK-триггеров и отсутствие этих недостатков в синтезированных триггерах. При реализации триггеров в программе Multisim триггеры устанавливались в неопределенное состояние, вследствие чего были предусмотрены входы сброса и предустановки для принудительной установки триггера в какое-либо состояние в начале работы с ним. Также было выяснено, что реальная схема триггера 74LS107D не имеет вышеописанных недостатков. Это говорит о том, что обычные схемы триггеров используются только для общего описания работы триггеров ввиду их простоты. В реальных же схемах используются более сложные реализации JK-триггеров.

Библиографический список

1. Сапожников Вал. В. Методы синтеза надежных автоматов / Вал. В. Сапожников, Вл. В. Сапожников. – Л. : Энергия, 1980. – 96 с.
2. Сапожников Вал. В. Дискретные автоматы с обнаружением отказов / Вал. В. Сапожников, Вл. В. Сапожников. – Л. : Энергоатомиздат, 1984. – 112 с.
3. Сапожников Вал. В. Самопроверяемые дискретные устройства / Вал. В. Сапожников, Вл. В. Сапожников. – СПб. : Энергоатомиздат, 1992. – 224 с.
4. McCluskey E. J. Logic Design Principles : With Emphasis on Testable Semicustom Circuits / E. J. McCluskey. – N. J. : Prentice Hall PTR, 1986. – 549 p.
5. Гавзов Д. В. Методы обеспечения безопасности дискретных систем / Д. В. Гавзов, Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1994. – № 8. – С. 3–50.
6. Pradhan D. K. Fault-Tolerant Computer System Design / D. K. Pradhan. – N. Y. : Prentice Hall, 1996. – 560 p.
7. Сапожников Вал. В. Самопроверяемый компаратор с дополнительным импульсным входом / Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1997. – № 6. – С. 200–208.
8. Гессель М. Исследование свойств самодвойственных самопроверяемых многотактных схем / М. Гессель, А. В. Дмитриев, Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2001. – № 4. – С. 148–159.
9. Lala P. K. Self-Checking and Fault-Tolerant Digital Design / P. K. Lala. – San Francisco : Morgan Kaufmann Publishers, 2001. – 216 p.
10. Рабаи Ж. М. Цифровые интегральные схемы. Методология проектирования = Digital Integrated Circuits / Ж. М. Рабаи, А. Чандракасан, Б. Николич. – 2-е изд. – М. : Вильямс, 2007. – 912 с.
11. Сапожников Вал. В. Теория дискретных устройств железнодорожной автоматики, телемеханики и связи : учебник / Вал. В. Сапожников, Вл. В. Сапож-

- ников, Д. В. Ефанов ; под ред. Вал. В. Сапожникова. – М. : ФГБОУ «Учебно-методический центр по образованию на железнодорожном транспорте», 2016. – 339 с.
12. Дундуа А. А. Синтез самопроверяющихся тестеров в автоматах с обнаружением неисправностей / А. А. Дундуа, Вал. В. Сапожников, Вл. В. Сапожников, В. Г. Трохов // Автоматика и телемеханика. – 1980. – № 7. – С. 150–160.
 13. Зельдин Е. А. Триггеры / Е. А. Зельдин. – М. : Энергоатомиздат, 1983. – 96 с.
 14. Сапожников Вал. В. О синтезе асинхронных конечных автоматов с исключением опасных отказов / Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1972. – № 8. – С. 93–99.
 15. Сапожников Вал. В. О синтезе асинхронных конечных автоматов с обнаружением отказов / Вал. В. Сапожников, Вл. В. Сапожников, В. Г. Трохов // Автоматика и телемеханика. – 1977. – № 4. – С. 139–148.
 16. Сапожников Вал. В. Синтез полностью самоконтролирующихся асинхронных автоматов / Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1979. – № 1. – С. 154–166.
 17. Сапожников Вал. В. Дискретные устройства железнодорожной автоматики, телемеханики и связи : учебник для вузов ж.-д. трансп. / Вал. В. Сапожников, Ю. А. Кравцов, Вл. В. Сапожников. – М. : Транспорт, 1988. – 255 с.
 18. Дмитриев В. В. Синтез триггеров на базе теории конечных автоматов / В. В. Дмитриев, К. С. Кононов, А. С. Перский // Автоматика на транспорте. – 2015. – Т. 1. – № 1. – С. 73–83.

Dmitry V. Pivovarov,
«Automation and remote control on railways» department,
Emperor Alexander I St. Petersburg state transport university

Synthesis of JK flip-flops with different characteristics

The article describes the process of synthesis of asynchronous JK flip-flops with different characteristics by using the finite automata theory. It reveals the disadvantage of a conventional implementations of asynchronous JK flip-flop, and then describes the synthesis of JK flip-flop without this disadvantage. The article presents four implementations of JK flip-flop as a fundamental circuit using Multisim software. During the implementation of the flip-flops in Multisim software few design features were considered, that are necessary for the correct operation of flip-flops. The article describes the operation of each option of JK flip-flops in the form of timing sheets. The timing sheets show the disadvantages of JK flip-flop conventional implementations and the lack thereof in the synthesized flip-flops. The operation of 74LS107D flip-flop is simulated using Multisim software.

The article also shows that the actual flip-flop circuits do not have the described disadvantages.

finite automaton; flip-flop; JK flip-flop; flip-flop synthesis; Multisim

References

1. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1980). Methods of synthesis of reliable automata [Metody sinteza nadezhnykh avtomatov]. Leningrad, Energia, 96 p.
2. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1984). Discrete automata with failure detection [Diskretnyye avtomaty s obnaruzheniyem otkazov]. Leningrad, Energoatomizdat, 112 p.
3. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1992). Self-checking discrete devices [Samoproveryayemye diskretnyye ustroystva]. St. Petersburg, Energoatomizdat, 224 p.
4. McCluskey E. J. (1986). Logic Design Principles: With Emphasis on Testable Semicustom Circuits. – New York, Prentice Hall PTR, 549 p.
5. Gavzov D. V., Sapozhnikov Val. V., Sapozhnikov Vl. V. (1994). Safety methods for discrete systems [Metody obespecheniya bezopasnosti diskretnykh sistem]. Automation and remote control [Avtomatika i telemekhanika], issue 8, pp. 3–50.
6. Pradhan D. K. Fault-Tolerant Computer System Design. New York, Prentice Hall, 1996, 560 p.
7. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1997). Self-checking comparator with additional impulse input [Samoproveryayemyy komparator s dopolnitel'nym impul'snym vkhodom]. Automation and remote control [Avtomatika i telemekhanika], issue 6, pp. 200–208.
8. Göessel M., Dmitriev A. V., Sapozhnikov Val. V., Sapozhnikov Vl. V. (2001). Study of characteristics of self-dual self-checking multistage circuits [Issledovaniye svoystv samodvoystvennykh samoproveryayemykh mnogotaknykh skhem]. Automation and remote control [Avtomatika i telemekhanika], issue 4, pp. 148–159.
9. Lala P. K. (2001). Self-Checking and Fault-Tolerant Digital Design. San Francisco, Morgan Kaufmann Publishers, 216 p.
10. Rabaey J. M., Chandrakasan A., Nikolic B. (2007). Digital Integrated Circuits. Design methods [Tsifrovyye integral'nyye skhemy. Metodologiya proyektirovaniya], 2nd edition. Moscow, Williams (Vil'yams), 912 p.
11. Sapozhnikov Val. V., Sapozhnikov Vl. V., Efanov D. V. (2016). Theory of discrete railway automation, remote control and communication devices [Teoriya diskretnykh ustroystv zheleznodorozhnoy avtomatiki, telemekhaniki i svyazi], textbook. Under the editorship of Vl. V. Sapozhnikov. Moscow, FGBOU «Training center for railway transport education» [FGBOU «Uchebno-metodicheskiy tsentr po obrazovaniyu na zheleznodorozhnom transporte»], 339 p.
12. Dundua A. A., Sapozhnikov Val. V., Sapozhnikov Vl. V., Trokhov V. G. (1980). Synthesis of self-checking testers in automata with failure detection [Sintez samoproveryayushchikhsya testerov v avtomatakh s obnaruzheniyem neispravnostey]. Automation and remote control [Avtomatika i telemekhanika], issue 7, pp. 150–160.

13. Zel'din E. A. (1983). Flip-flops [Triggery]. Moscow, Energoatomizdat, 96 p.
14. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1972). On synthesis of asynchronous finite automata with elimination of dangerous failures [O sinteze asinkhronnykh konechnykh avtomatov s isklyucheniym opasnykh otkazov], Automation and remote control [Avtomatika i telemekhanika], issue 8, pp. 93–99.
15. Sapozhnikov Val. V., Sapozhnikov Vl. V., Trokhov V. G. (1977). On synthesis of asynchronous finite automata with failure detection [O sinteze asinkhronnykh konechnykh avtomatov s obnaruzheniyem otkazov]. Automation and remote control [Avtomatika i telemekhanika], issue 4, pp. 139–148.
16. Sapozhnikov Val. V., Sapozhnikov Vl. V. (1979). Synthesis of fully self-checking asynchronous automata [Sintez polnost'yu samokontroliruyushchikhsya asinkhronnykh avtomatov]. Automation and remote control [Avtomatika i telemekhanika], issue 1, pp. 154–166.
17. Sapozhnikov Val. V., Kravtsov Yu. A., Sapozhnikov Vl. V. (1988). Discrete railway automation, remote control and communication devices [Diskretnyye ustroystva zheleznodorozhnoy avtomatiki, telemekhaniki i svyazi]. Textbook for railway transport higher educational institutions [Uchebnik dlya vuzov zheleznodorozhnogo transporta]. Moscow, Transport, 255 p.
18. Dmitriev V. V., Kononov K. S., Persky A. S. (2015). Flip-flop synthesis, based on finite automata theory [Sintez triggerov na baze teorii konechnykh avtomatov]. Transport automation [Avtomatika na transporte], vol. 1, issue 1, pp. 73–83.

*Статья представлена к публикации членом редколлегии Вл. В. Сапожниковым
Поступила в редакцию 28.12.2015, принята к публикации 15.08.2016*

*ПИВОВАРОВ Дмитрий Вячеславович – аспирант кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I.
e-mail: pivovarov.d.v.spb@gmail.com*

© Пивоваров Д. В., 2017