

УДК 681.518.5+004.052.32

МЕТОД СИНТЕЗА САМОПРОВЕРЯЕМЫХ УСТРОЙСТВ С КОНТРОЛЕМ ВЫЧИСЛЕНИЙ ПО ДВУМ ДИАГНОСТИЧЕСКИМ ПАРАМЕТРАМ С ПРЕДВАРИТЕЛЬНЫМ СЖАТИЕМ СИГНАЛОВ ОТ ОБЪЕКТА ДИАГНОСТИРОВАНИЯ

ЕФАНОВ Дмитрий Викторович, д-р техн. наук, доцент, член Института инженеров электротехники и электроники (IEEE member), действительный член Международной академии транспорта, заместитель генерального директора по научно-исследовательской работе¹, профессор^{2,3}; e-mail: TrES-4b@yandex.ru
ПИВОВАРОВ Дмитрий Вячеславович, канд. техн. наук, старший преподаватель⁴;
e-mail: pivovarov.d.v.spb@gmail.com
ЛЕОНЕНКО Олег Викторович, канд. техн. наук, научный руководитель⁵; e-mail: olegleonenko@gmail.com

¹ООО «НИПИ «ТрансСтройБезопасность»»

²Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта, Институт машиностроения, материалов и транспорта, Санкт-Петербург

³Российский университет транспорта (МИИТ), кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте», Москва

⁴Петербургский государственный университет путей сообщения Императора Александра I, кафедра «Автоматика и телемеханика на железных дорогах», Санкт-Петербург

⁵Белорусско-Российский университет, Инжиниринговый центр SimTech, Могилев

Предложена структура организации самопроверяемых цифровых устройств с контролем вычислений по двум диагностическим параметрам. В качестве первого параметра используется принадлежность формируемого в схеме встроенного контроля кодового слова равновесному коду «2 из 4». Вторым параметром является принадлежность каждой вычисляемой функции классу самодвойственных булевых функций. Особенностью описываемой в статье структуры организации самопроверяемых цифровых устройств является наличие схемы предварительного сжатия сигналов от объекта диагностирования. Ее использование позволяет существенно сократить структурную избыточность конечного устройства. При этом, однако, на входах элементов сжатия могут маскироваться ошибки. В статье отмечаются особенности выбора выходов объекта диагностирования, сигналы с которых будут сжиматься, и предлагается алгоритм, позволяющий минимизировать риск возникновения необнаруживаемых ошибок на входах схемы сжатия. Приведен алгоритм синтеза схемы встроенного контроля по двум диагностическим параметрам, учитывающий условия формирования полного множества проверяющих комбинаций для тестеров и элементов преобразования в блоке коррекции сигналов. Рассмотрен пример реализации алгоритма синтеза полностью самопроверяемого устройства в Logisim. Отмечаются ключевые особенности схемы встроенного контроля, реализуемой по предлагаемой структуре. Способ организации контроля вычислений по двум диагностическим параметрам представляет интерес при синтезе полностью самопроверяемых цифровых вычислительных устройств и систем.

Ключевые слова: самопроверяемая схема встроенного контроля; контроль вычислений комбинационными устройствами; предварительное сжатие сигналов; кодовый метод контроля вычислений; контроль самодвойственности функций.

DOI: 10.20295/2412-9186-2022-8-04-399-417

▼ Введение

Современные системы автоматики и вычислительной техники снабжаются специализированным диагностическим обеспечением на всех уровнях реализации, что позволяет своевременно обнаруживать ошибки и их источники, а также парировать неверные данные для исключения их влияния на

технологический процесс. Для этого устройства и функциональные модули, входящие в системы, реализуются с контролепригодными структурами и развитыми средствами самодиагностирования и рабочего диагностирования [1, 2]. Широко для контроля вычислений применяются схемы встроенного контроля (СВК) [3].

Организация СВК позволяет реализовывать рабочее диагностирование устройств автоматики и вычислительной техники [4–7]. В СВК контролируются вычисления функций объектом диагностирования. Таким образом, задача СВК заключается в фиксации возникающих искажений, что позволяет косвенно определять моменты возникновения сбоев и неисправностей. Существует несколько подходов к организации СВК.

Стандартным методом является дублирование с последующим сравнением результатов вычислений самопроверяемым компаратором [8, 9]. Такой метод широко распространен за счет типизации процесса синтеза (не требуется сложных вычислений при построении СВК, а применяется двойная модульная избыточность) и своих обнаруживающих характеристик (обнаруживаются любые сочетания искажений на выходах объекта диагностирования). Недостатком же метода дублирования является высокая вносимая структурная избыточность, которая оценивается зачастую более чем трехкратным увеличением показателей сложности технической реализации конечного устройства, наделенного свойством самопроверяемости. Еще один недостаток — это сложность (и в ряде случаев даже невозможность) обеспечения полной самопроверяемости компаратора [10].

Для снижения структурной избыточности СВК применяются методы, основанные не на модульной избыточности, а на учете особенностей реализуемых на выходах объектов диагностирования функций. К таким методам, например, относятся кодовые методы [11–15] и методы, основанные на специальном представлении вычисляемых самопроверяемым устройством функций [16, 17].

Кодовые методы подразумевают построение СВК с использованием какого-либо двоичного избыточного кода. В этом случае выходы объекта диагностирования в СВК либо дополняются, либо преобразуются в кодовые слова заранее выбранных двоичных избыточных кодов. Существует большое разнообразие таких кодов и методов синтеза СВК на их основе [18–20].

Метод, подразумевающий специальное представление вычисляемых устройством функций, основан на использовании особенностей самих

формируемых в СВК функций. Например, одним из подходов к организации СВК является выбор в качестве диагностического параметра принадлежности вычисляемых функций классу самодвойственных булевых функций [21]. На диагностические способности самодвойственных функций обращали внимание ученые и инженеры достаточно давно, например, известна работа [16], в которой обращается внимание на использование самодвойственных функций. В [22] описан метод инвертирования данных, основанный на самодвойственном представлении функций в конечных автоматах, приводятся примеры синтеза самодвойственных триггеров. Самодвойственные самопроверяемые вычислительные устройства исследованы в [23–28]. Известны три монографии [17, 29, 30], обобщающие исследования в этом направлении.

Исследования авторов данной статьи направлены на развитие комплексного использования кодового метода и метода, основанного на самодвойственном представлении функций, вычисляемых объектом диагностирования. Подробный анализ показал, что если взять произвольное комбинационное устройство и не модифицировать его структуру, то один из кодовых методов не всегда позволит покрывать все множество возникающих на его выходах ошибок. Увеличение же процента покрываемых ошибок достигается за счет применения дополнительного контроля самодвойственности вычисляемых устройством функций. Так, в статьях [31, 32] мы предложили использовать для диагностирования комбинационных устройств разделение их выходов на группы по четыре выхода в каждой с одновременным контролем в СВК принадлежности формируемого кодового вектора равновесному коду «2 из 4», а каждой из четырех функций — классу самодвойственных функций алгебры логики. В ряде случаев удается добиться весомого снижения структурной избыточности цифрового устройства по сравнению с применением дублирования при 100%-м покрытии ошибок на выходах объекта диагностирования.

Дальнейшие исследования показали, что можно еще более сократить вносимую структурную избыточность при организации СВК за

счет использования так называемого предварительного сжатия сигналов [33] с последующим контролем вычислений. Данная работа посвящена описанию обозначенного подхода к организации самопроверяемых цифровых вычислительных устройств и систем.

1. Структура организации самодвойственной схемы встроенного контроля

Гибридная структура для организации самодвойственной схемы встроенного контроля изображена на рис. 1. В ней объектом диагностирования является комбинационное устройство $F(x)$, вычисляющее 8 булевых функций $f_1...f_8$.

В СВК для организации контроля вычислений использовано несколько блоков. Выходы объекта диагностирования в СВК непосредственно подключаются ко входам схемы сжатия сигналов (СС — схема сжатия). В представленной структуре подразумевается попарное

сжатие сигналов с применением двухвходовых элементов сложения по модулю $M = 2$ (элементов XOR). Таким образом, восьмибитный вектор рабочих функций $\langle F \rangle$ преобразуется в четырехбитный вектор $\langle \Phi \rangle$: $\langle F \rangle \rightarrow \langle \Phi \rangle$. Далее этот вектор $(\langle \varphi_4 \varphi_3 \varphi_2 \varphi_1 \rangle)$ контролируется по способу, описанному нами в [31, 32].

Каждая из функций вектора $\langle \varphi_4 \varphi_3 \varphi_2 \varphi_1 \rangle$ преобразуется в блоке коррекции сигналов (БКС) по правилу: $\varphi_i \oplus g_i = h_i, i=1,4$. Таким образом, вектор $\langle \Phi \rangle$ преобразуется в вектор $\langle H \rangle$: $\langle \Phi \rangle \rightarrow \langle H \rangle$.

Преобразование осуществляется с использованием функций дополнения $g_1...g_4$, вычисляемых блоком контрольной логики $G(x)$, и подразумевает получение из любого вектора $\langle \varphi_4 \varphi_3 \varphi_2 \varphi_1 \rangle$ вектора $\langle h_4 h_3 h_2 h_1 \rangle$, принадлежащего равновесному коду «2 из 4» (2/4-коду). Это возможно всегда и большим числом способов, что позволяет влиять на показатели сложности технической реализации блока $G(x)$ [34].

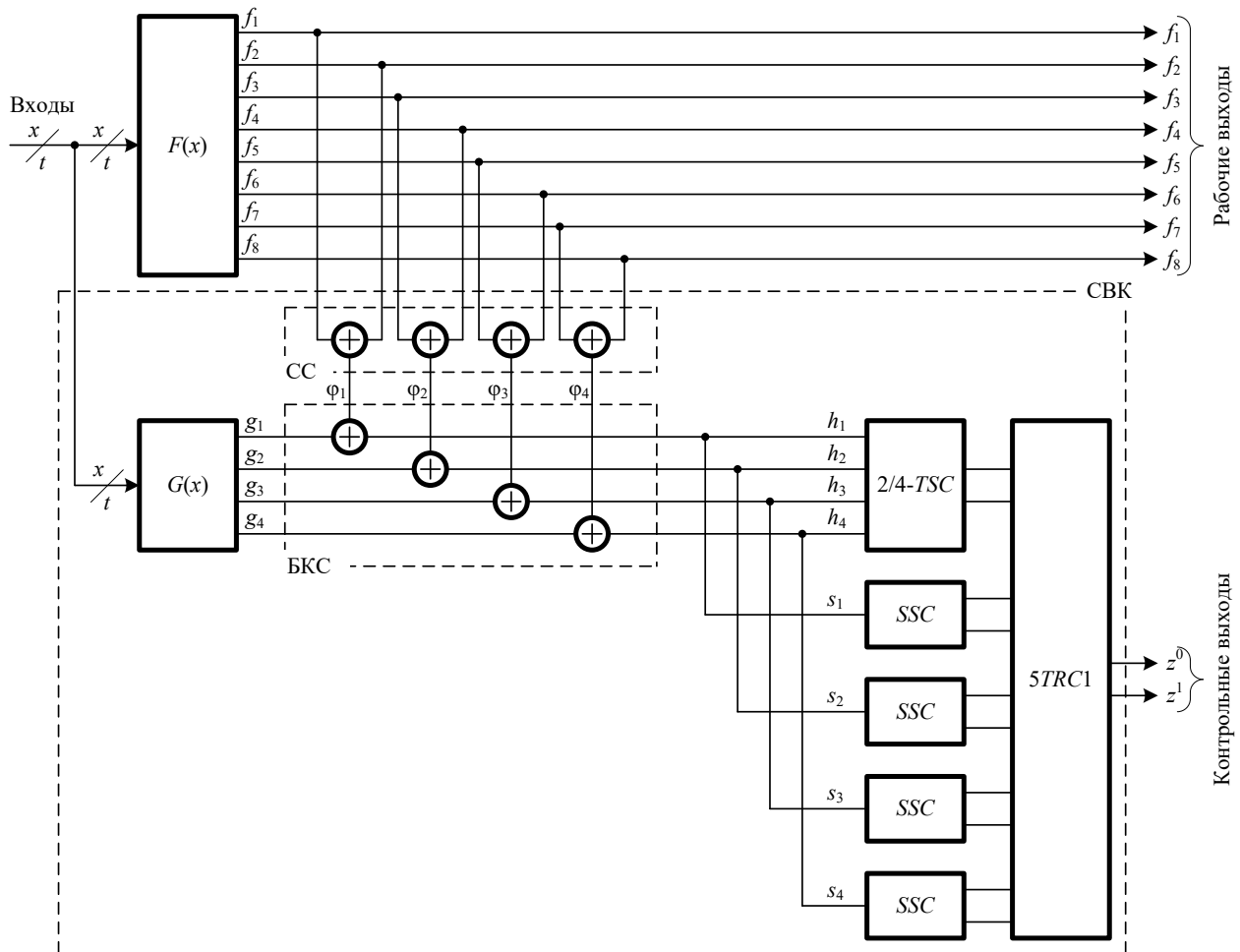


Рис. 1. Структура организации гибридной самодвойственной схемы встроенного контроля

Контроль принадлежности кодового вектора $\langle h_4 h_3 h_2 h_1 \rangle$ 2/4-коду осуществляется с использованием полностью самопроверяемого тестера 2/4-*TSC* [35]. 2/4-*TSC* снабжен четырьмя входами и двумя выходами. При поступлении на его входы кодового слова 2/4-кода на выходах формируется парафазный сигнал. Присутствие непарафазного сигнала свидетельствует о наличии ошибки в вычислениях либо о наличии внутренней ошибки 2/4-*TSC*. Особенности синтеза 2/4-*TSC* и его свойства подробно описаны в большом числе работ, в том числе в [36]. Необходимо напомнить читателю, что 2/4-*TSC* имеет наиболее простую структуру по сравнению с тестерами любых других равновесных кодов, что является несомненным его преимуществом при организации СВК. Кроме того, наиболее простая реализация 2/4-*TSC* позволяет для полной его проверки подавать на входы только четыре из шести рабочих кодовых комбинаций, принадлежащих множеству $\{0011, 1001, 0110, 1100\}$.

Преобразование функций f_i таково, что позволяет получать функции h_i , принадлежащие к классу самодвойственных булевых функций. Каждая самодвойственная функция $s_1 \dots s_4$ контролируется с помощью отдельного тестера самодвойственности (*SSC, self-dual self-checking checker*) [31, 32]. Он имеет один вход и два выхода, так же как и 2/4-*TSC*, функционирующих в парафазной логике. Выходы всех пяти тестеров объединяются на входах самопроверяемой схемы сжатия парафазных сигналов *STRC1*, реализуемой на основе стандартных модулей сжатия двух парафазных сигналов в один (*TRC, two-rail checker*) [37]. Выходы схемы сжатия z^0 и z^1 являются контрольными выходами СВК. Смысл значений на них трактуется аналогично значениям на выходах тестера равновесного кода или тестера самодвойственности.

Структура (см. рис. 1) функционирует в импульсном режиме. Двоичные сигналы 0 и 1 представляются в ней последовательностями импульсов: 0 — 0101...01, 1 — 1010...10. Здесь мы сознательно опускаем подробное описание самодвойственных цифровых устройств, фокусируя внимание читателя на самом методе. Особенности же обустройства структуры при импульсном режиме работы рассмотрены в [29, 30].

Важным для работы схемы является то, что в СВК для тестирования используется пара ортогональных по всем переменным кодовых векторов. На каждом из векторов пары формируется кодовое слово 2/4-кода (соответственно, эти кодовые слова также ортогональны по всем переменным).

Неисправность в блоке $F(x)$ искажает значения каких-либо из выходов, что воспринимается схемой встроенного контроля и приводит либо к нарушению принадлежности кодового вектора $\langle h_4 h_3 h_2 h_1 \rangle$ 2/4-коду, либо к нарушению самодвойственности каждой из функций $h_i = s_i$, $i = 1, 4$, либо к тому и другому событию.

Обнаруживающая способность СВК повышается за счет использования именно двух диагностических параметров. 2/4-кодом не обнаруживаются любые ошибки, сохраняющие вес кодового слова. К ним относятся двукратные ошибки, связанные с искажением одного нулевого и одного единичного разрядов, а также любые четырехкратные ошибки. Число таких ошибок в общем случае равно $C_4^2(C_4^2 - 1) = 30$. Контроль самодвойственности позволяет повысить число обнаруживаемых в СВК ошибок. При контроле самодвойственности ошибка не будет обнаружена, если не нарушится самодвойственность функции на паре противоположных наборов. Это условие значительно повышает обнаруживающие характеристики метода.

Структура (см. рис. 1) является частным случаем обобщенной гибридной структуры, приведенной на рис. 2 в [38], считается базовой и строится для группы из восьми выходов устройства $F(x)$. Для многовыходных устройств осуществляется разделение на несколько групп по 8 выходов. Может быть использована схема с разделением выходов и на группы с меньшим числом выходов в каждой. Например, на рис. 2 представлен вариант для контроля по описанному методу устройства с 6 выходами. В отличие от структуры, приведенной на рис. 1, здесь один из выходов блока $G(x)$ напрямую подключается к входу 2/4-*TSC*, а для контроля самодвойственности используется три тестера *SSC*.

В качестве схемы сжатия сигналов можно использовать любой другой преобразователь.

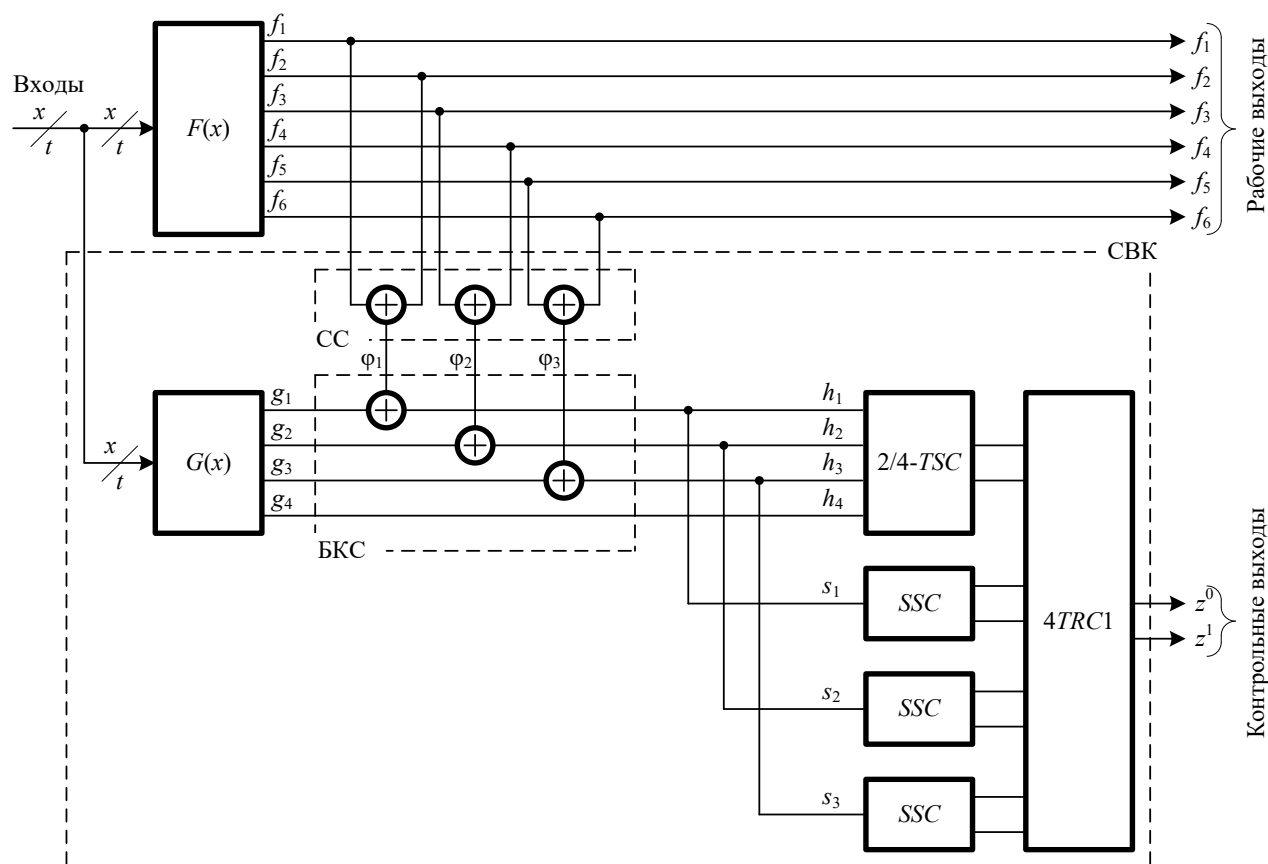


Рис. 2. Структура организации гибридной самодвойственной схемы встроенного контроля для 6-выходного устройства

К примеру, можно сжимать на сумматоре по модулю $M=2$ сигналы с нескольких выходов объекта диагностирования или же реализовывать схему сжатия по кодам с суммированием [39].

2. Особенности выбора пар сжимаемых выходов

Особенностью приведенных выше структур (см рис. 1, 2) является использование схемы сжатия сигналов. Преимуществом ее использования является уменьшение числа контролируемых выходов и, соответственно, уменьшение аппаратных затрат на реализацию СВК. Недостаток же связан с тем, что снижается обнаруживающая способность самой СВК. Анализ показывает, что даже при использовании для контроля вычислений двух диагностических параметров двукратная ошибка в паре выходов, сигналы с которых сжимаются, может оказаться замаскированной. Для повышения обнаруживающих способностей СВК используются исключительно схемотехнические методы. К таким методам

относятся увеличение числа групп выходов с дополнительным включением их в различные группы или же целенаправленный подбор таких пар сжимаемых выходов, на которых исключены одновременные искажения.

В [40] предложен алгоритм выбора пар сжимаемых выходов, подразумевающий покрытие выходов контролируемого устройства парами независимых выходов (Н-выходов). На практике встречаются такие устройства, выходы которых невозможно полностью покрыть парами Н-выходов. В этом случае требуется иное решение.

Рассмотрим пример, представленный на рис. 3.

Устройство снабжено 4 входами x_1, x_2, x_3, x_4 и 8 выходами f_1, f_2, \dots, f_8 . Для организации СВК данного устройства необходимо подобрать пары сжимаемых выходов.

В идеальном случае пары не должны иметь общих логических элементов, пути от которых ведут к обоим выходам. В пары следует объединять выходы, имеющие наименьшее число

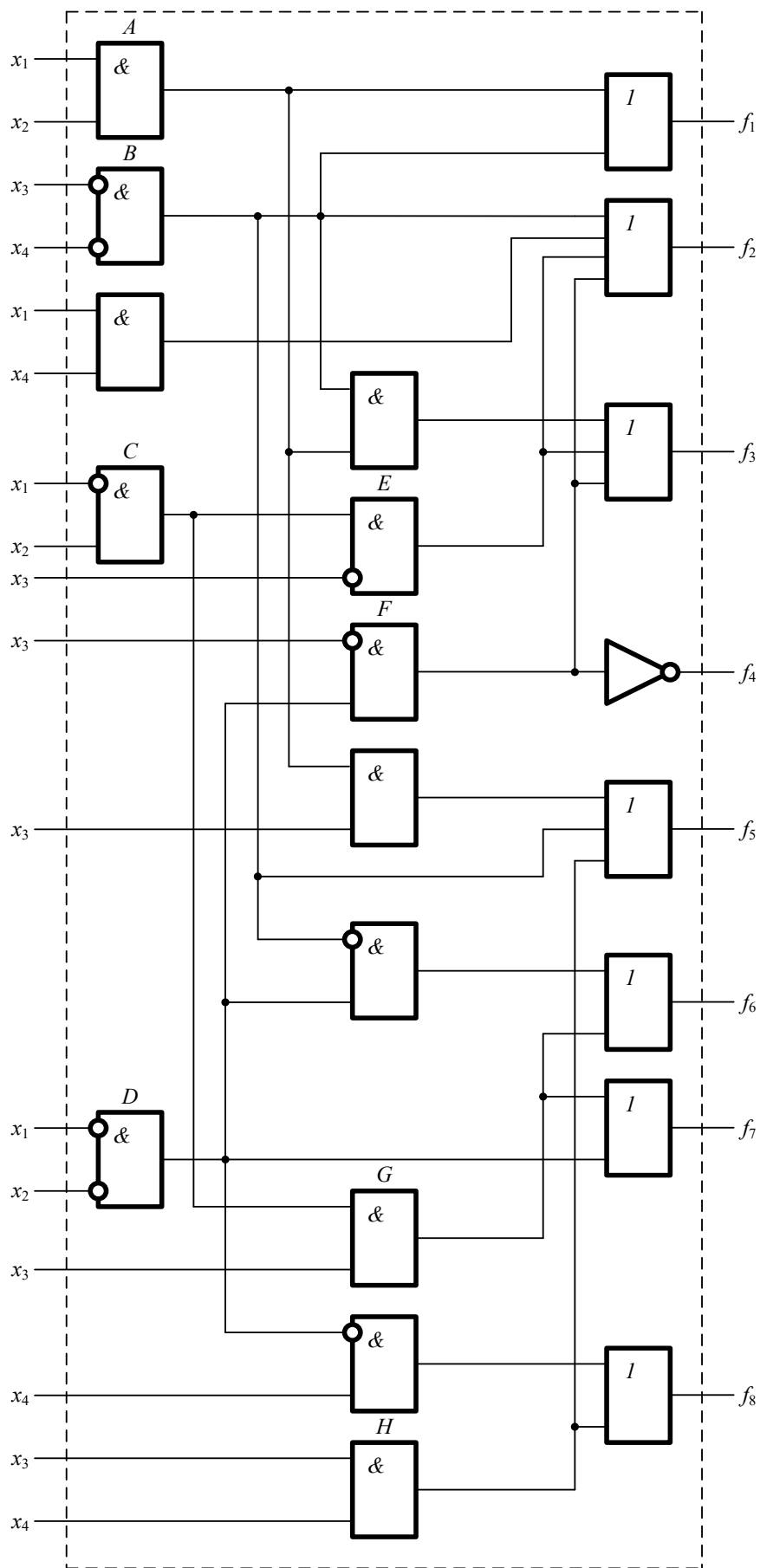


Рис. 3. Схема исходного комбинационного устройства

общих элементов. Для этого можно воспользоваться следующим подходом.

На рис. 3 латинскими буквами указаны те элементы устройства, которые связаны путями более чем с одним его выходом. Неисправности данных элементов могут приводить к кратным ошибкам на выходах схемы.

Шаг 1 — построение матрицы парности выходов устройства.

Матрица представляет собой таблицу, в которой по строкам и столбцам перечисляются выходы устройства. На пересечении строки и столбца указывается число общих элементов для каждой пары.

Для рассматриваемого примера матрица парности приведена в табл. 1.

Шаг 2 — построение таблицы пар выходов.

Таблица пар выходов представляет собой таблицу, в которой пары выходов разбиваются на группы по числу общих логических элементов (табл. 2).

Шаг 3 — выбор граничного значения допустимого количества общих элементов.

На практике зачастую оказывается так, что все выходы устройства не могут быть разбиты на пары без общих элементов. Поэтому необходимо разбить выходы на пары таким образом, чтобы можно было покрыть все выходы такими группами N , которые содержат наименьшее число общих элементов. Это можно сделать пошагово, покрывая выходы группами по числу общих элементов от меньшего их числа к большему и выбирая граничное число N .

Описываемый подход подразумевает поиск такого числа N , которое дает реализуемый случай разбиения выходов на пары. Ясно, что можно было бы выбрать максимальное число, но при этом не исключалось бы такое покрытие, при котором пары будут иметь большее число общих элементов. Для уменьшения их числа определим по таблице покрытия, последовательно анализируя части, соответствующие той или иной группе, удастся или нет покрыть все выходы парами с наименьшим числом N .

Парами из группы с № 0 покрыть все выходы невозможно. Отсюда как раз следует невозможность применения алгоритма, описанного в [40] для выбора пар сжимаемых выходов.

Таблица 1. Матрица парности выходов

Выход	Пара							
	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8
f_1	—	1	2	0	2	1	0	0
f_2	1	—	5	2	1	3	2	1
f_3	2	5	—	2	2	3	2	1
f_4	0	2	2	—	0	1	1	1
f_5	2	1	2	0	—	1	0	1
f_6	1	3	3	1	1	—	3	1
f_7	0	2	2	1	0	3	—	1
f_8	0	1	1	1	1	1	1	—

Таблица 2. Классификация пар выходов по числу общих элементов

	Группа по числу общих элементов					
	0	1	2	3	4	5
(f_1, f_4)	(f_1, f_2)	(f_1, f_3)	(f_2, f_6)	—	(f_2, f_3)	
(f_1, f_7)	(f_1, f_6)	(f_1, f_5)	(f_3, f_6)			
(f_1, f_8)	(f_2, f_5)	(f_2, f_4)				
(f_4, f_5)	(f_2, f_8)	(f_2, f_7)				
(f_5, f_7)	(f_3, f_8)	(f_3, f_4)				
	(f_4, f_8)	(f_3, f_5)				
	(f_5, f_6)	(f_3, f_7)				
	(f_5, f_8)	(f_4, f_6)				
	(f_6, f_8)	(f_4, f_7)				
	(f_7, f_8)	(f_6, f_7)				

Анализируется часть таблицы, соответствующая группе с № 1. При этом необходимо учитывать и покрытия группы с номером № 0. В данном случае также покрыть все выходы не удается.

Учитывая часть таблицы, соответствующую группе с № 2, выходы становится возможным покрыть парами без пересечений выходов в каждой.

В рассматриваемом примере число $N = 2$.

Шаг 4 — выбор пар для покрытия выходов.

Группы с числом общих элементов, меньшим или равным числу N , назовем «желательными», а группы с числом общих элементов, большим N , — «нежелательными». При использовании метода подбора может оказаться так, что при поиске последних пар выходов возможен их выбор только из группы нежелательных выходов. В этом случае подбор придется начинать заново. Именно поэтому рассмотрим сначала группу нежелательных пар выходов.

Для того чтобы исключить использование пар из нежелательных групп, необходимо, чтобы как минимум один выход из каждой пары присутствовал в паре из группы желательных. Поэтому из пар нежелательной группы выбирается выход и находится пара из желательной группы с данным выходом. При этом рекомендуется выбирать выход, наиболее часто встречающийся в группе нежелательных пар. В данном примере это выход f_6 .

При выборе пары выходов с f_6 необходимо выбрать пару, имеющую минимальное количество общих элементов. При этом если существует несколько таких пар, то рекомендуется выбирать пару с тем выходом, который наименьшее количество раз встречается в парах с меньшим количеством общих элементов. В данном примере выберем пару (f_6, f_8) .

После этого в группе нежелательных выходов остается пара (f_2, f_3) . Оба выхода встречаются в группе нежелательных выходов одинаковое количество раз, поэтому можно выбрать любой. Выберем выход f_2 . Для него выбирается группа (f_2, f_3) .

Далее рассматриваются группы желательных пар. Из них поочередно выбираются оставшиеся возможные пары, начиная с пар с наименьшим количеством общих элементов. В данном случае сначала выбирается пара (f_1, f_4) . После этого остается одна возможная пара выходов — (f_3, f_7) .

Таким образом, получается четыре пары (f_6, f_8) , (f_2, f_3) , (f_1, f_4) , (f_3, f_7) с количеством общих элементов соответственно 1, 1, 0, 2. В случае если не удастся выбрать пары выходов, следует вернуться к выбору числа N и уменьшить его значение.

3. Пример синтеза самодвойственного цифрового устройства

После выбора пар сжимаемых выходов можно перейти к процедуре синтеза самодвойственного цифрового устройства по структуре, изображенной на рис. 1. Из рис. 1 ясно, что все модули в СВК являются стандартными, за исключением блока контрольной логики $G(x)$. Задачей синтеза как раз является получение его структуры в выбранном элементном базисе. В нашем случае ограничимся только получением логических выражений, описывающих его выходы.

Таблица 3. Описание работы исходного устройства

№	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8
0	0	0	0	0	1	1	1	0	1	0	1	0
1	0	0	0	1	0	1	1	0	0	1	1	0
2	0	0	1	0	0	0	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	1	1	1	1
4	0	1	0	0	1	1	1	1	1	0	0	0
5	0	1	0	1	0	1	1	1	0	0	0	1
6	0	1	1	0	0	0	0	1	0	1	1	0
7	0	1	1	1	1	0	0	1	1	1	1	1
8	1	0	0	0	0	1	0	1	1	0	0	0
9	1	0	0	1	0	1	0	1	0	0	0	1
10	1	0	1	0	0	0	0	1	0	0	0	0
11	1	0	1	1	1	1	0	1	1	0	0	1
12	1	1	0	0	1	1	1	1	1	0	0	0
13	1	1	0	1	1	1	0	1	0	0	0	1
14	1	1	1	0	1	0	0	1	1	0	0	0
15	1	1	1	1	1	1	0	1	1	0	0	1

Рассмотрим пример, приведенный на рис. 3. Таблица 3 является таблицей истинности, описывающей его работу.

Получим функции выходов блока контрольной логики $G(x)$. Для этого необходимо выполнить следующее.

Шаг 1 — получение функций на выходах схемы сжатия.

Из предыдущего пункта были получены пары сжимаемых выходов: $\varphi_1 = f_6 \oplus f_8$, $\varphi_2 = f_2 \oplus f_5$, $\varphi_3 = f_1 \oplus f_4$, $\varphi_4 = f_3 \oplus f_7$. Их значения заносятся в табл. 4, где приводятся значения сигналов на каждой линии СВК.

Шаг 2 — получение значений функций h_1, h_2, h_3 и h_4 .

Значения данных функций получаются путем их доопределения с учетом двух аспектов:

Кодовое слово, соответствующее функциям h_1, h_2, h_3 и h_4 , на каждом входном наборе должно принадлежать 2/4-коду. При этом целесообразно использовать наиболее простую реализацию тестера из [36], для полной проверки которого требуется подать на входы кодовые слова из множества $\{0011, 1001, 0110, 1100\}$.

Каждая из функций h_1, h_2, h_3 и h_4 должна быть самодвойственной. Это означает, что на противоположных входных наборах относительно

Таблица 4. Значения функций на линиях СВК и тестовые комбинации для элементов преобразования

№	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	Φ_1	Φ_2	Φ_3	Φ_4	h_1	h_2	h_3	h_4	g_1	g_2	g_3	g_4	XOR_1	XOR_2	XOR_3	XOR_4
0	0	0	0	0	1	1	1	0	1	0	1	0	0	0	1	0	0	0	1	1	0	0	0	1	00	00	10	01
1	0	0	0	1	0	1	1	0	0	1	1	0	1	1	0	0	1	1	0	0	0	0	0	0	10	10	00	00
2	0	0	1	0	0	0	0	1	0	1	1	0	1	0	1	1	1	0	0	1	0	0	1	0	10	00	11	10
3	0	0	1	1	0	0	0	1	1	1	1	1	0	1	1	1	0	1	1	0	0	0	0	1	00	10	10	11
4	0	1	0	0	1	1	1	1	1	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	00	00	01	10
5	0	1	0	1	0	1	1	1	0	0	0	1	1	1	1	1	0	1	1	0	1	0	0	1	11	10	10	11
6	0	1	1	0	0	0	0	1	0	1	1	0	1	0	1	1	1	0	0	1	0	0	1	0	10	00	11	10
7	0	1	1	1	1	0	0	1	1	1	1	1	0	1	0	1	1	1	0	0	1	0	0	1	01	10	00	11
8	1	0	0	0	0	1	0	1	1	0	0	0	0	0	1	0	0	0	1	1	0	0	0	1	00	00	10	01
9	1	0	0	1	0	1	0	1	0	0	0	1	1	1	1	0	0	1	1	0	1	0	0	0	11	10	10	00
10	1	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	1	0	0	1	1	0	1	1	01	00	11	01
11	1	0	1	1	1	1	0	1	1	0	0	1	1	0	0	0	1	1	0	0	0	1	0	0	10	01	00	00
12	1	1	0	0	1	1	1	1	1	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	01	00	00	10
13	1	1	0	1	1	1	0	1	0	0	0	1	1	1	0	0	0	1	0	0	1	0	0	0	11	10	00	00
14	1	1	1	0	1	0	0	1	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	1	00	11	00	01
15	1	1	1	1	1	1	0	1	1	0	0	1	1	0	0	0	1	1	1	0	0	1	1	0	10	01	01	00

середины таблицы истинности каждая из функций h_1, h_2, h_3 и h_4 должна иметь противоположное значение.

Из п. 2 становится ясным, что требуется заполнить либо нижнюю, либо верхнюю половину таблицы истинности в столбцах h_1, h_2, h_3 и h_4 . Сделаем это для первой половины таблицы, а затем отразим антисимметрично относительно ее середины (см. табл. 4).

При заполнении столбцов эвристически мы старались сформировать каждую из четырех комбинаций множества {0011, 1001, 0110, 1100} одинаковое количество раз. В этом случае тест на входы 2/4-TSC будет поступать чаще с большей вероятностью (в зависимости, конечно, от режима работы устройства), чем при неравномерном формировании кодовых слов. Тем не менее это не самый принципиальный момент синтеза. Важной особенностью является возможность получения функций g_1, g_2, g_3 и g_4 с наиболее простой логической записью, что позволит построить более простой блок контрольной логики.

Шаг 3 — проверка формирования полного теста для элементов преобразования в блоке коррекции сигналов.

На входы каждого сумматора по модулю $M = 2$ (элемента XOR) должны хотя бы по разу поступать тестовые комбинации из множества {00, 01, 10, 11} [41]. Проверка формирования полного множества тестовых комбинаций осуществляется по табл. 4 путем сравнения значений в соответствующих столбцах построчно. В столбцы $XOR_1 - XOR_4$ в табл. 4 занесены формирующиеся на входах элементов коррекции комбинации. Полное множество тестовых комбинаций в рассматриваемом примере для каждого элемента преобразования формируется. Если для какого-то из элементов преобразования одна из тестовых комбинаций не формируется, то блок коррекции полностью самопроверяемым не будет. Для достижения данного свойства нужно вернуться к шагу 2 и иначе доопределить значения функций h_1, h_2, h_3 и h_4 на выборочных входных наборах. Подобная процедура ранее рассматривалась для синтеза СВК для несамодвойственных устройств с контролем вычислений по равновесным кодам «1 из m » [42].

Шаг 4 — получение значений функций g_1, g_2, g_3 и g_4 .

Значения данных функций получают путем оптимизации по любому из известных

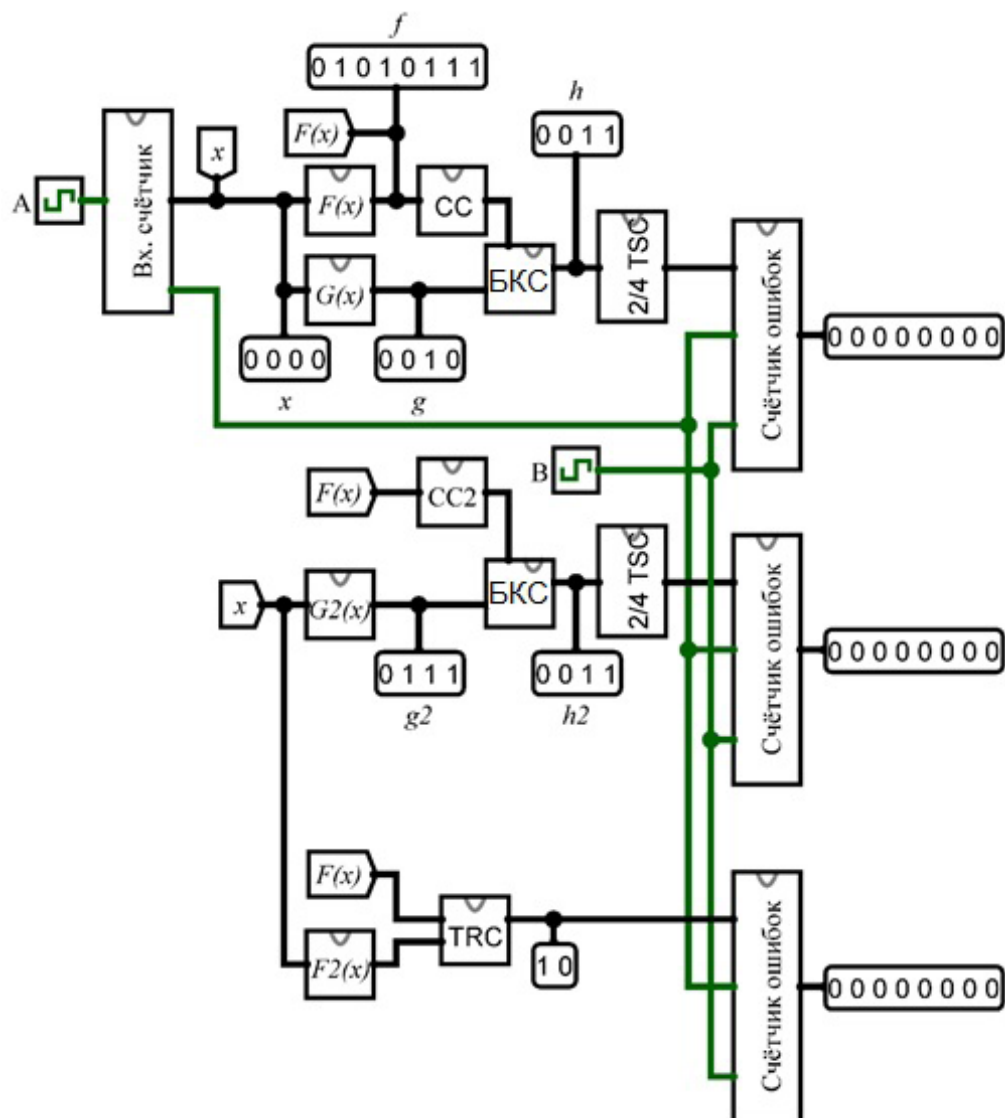


Рис. 4. Общая схема эксперимента

методов как отдельной функции, так и системы функций [43]. Используем метод Карно и оптимизируем каждую из функций g_1, g_2, g_3 и g_4 . Процедура оптимизации тривиальна и здесь не приводится. Результат оптимизации следующий:

$$g_1 = \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4};$$

$$g_2 = x_1 x_3 x_4 \vee x_1 x_2 x_3;$$

$$g_3 = \overline{x_1 x_2 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4};$$

$$g_4 = \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_2 x_4}.$$

В данной работе мы демонстрируем сам подход и не обсуждаем вопросы оценки сложности

технической реализации самопроверяемого устройства, не вводя каких-либо метрик. Подобная оценка должна производиться с использованием наборов контрольных комбинационных схем и специальных средств синтеза логических структур [44–46].

Также отметим, что в статье не рассмотрен вопрос тестируемости элементов схемы сжатия. Соответственно, алгоритм выбора пар сжимаемых выходов не учитывает возможность гарантированного формирования полного множества тестовых комбинаций на входах каждого из элементов сжатия сигналов. Однако из сравнения соответствующих столбцов в табл. 3 можно сделать вывод о том, что полный тест на элементы схемы сжатия поступает. Вопрос выбора пар

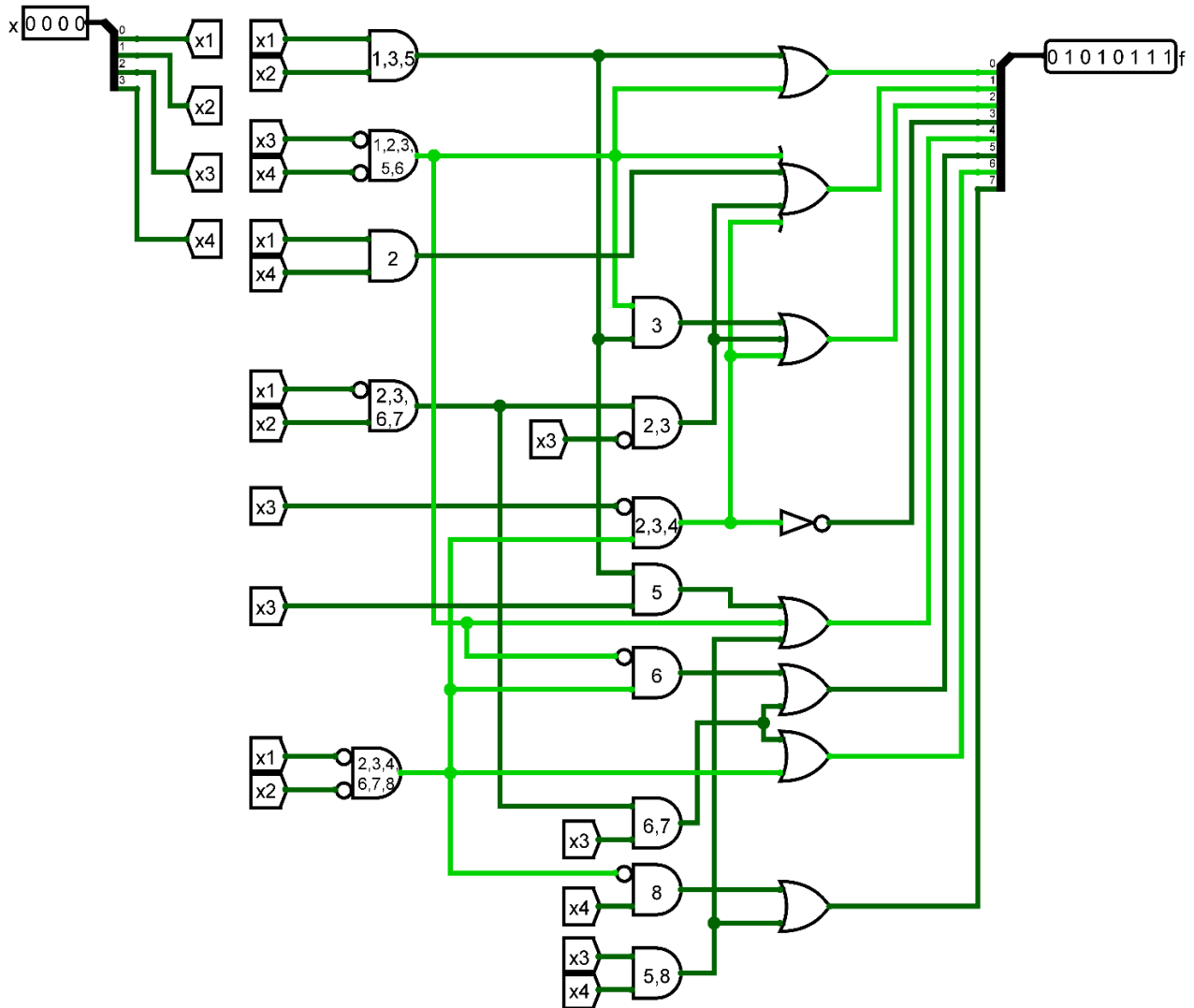


Рис. 5. Схема блока $F(x)$

сжимаемых выходов с учетом критерия формирования полного теста на входах элементов сжатия является темой будущих исследований.

4. Моделирование самодвойственного цифрового устройства

Для проверки эффективности описанного метода был проведен эксперимент со схемой из примера рис. 3. В эксперименте сравнивалось количество обнаруженных ошибок в устройстве, реализованном по описанному выше методу, с устройством, при реализации которого пары сжимаемых выходов выбирались случайным образом.

На рис. 4 показана общая схема для проведения эксперимента. Схема построена аналогично

схеме, описанной в [31, 47]. Входной счетчик синхронно с генератором А генерирует входные комбинации для устройств с тремя СВК. Блок $F(x)$ — контролируемая схема, изображенная на рис. 3. Ее реализация в Logisim приведена на рис. 5. Блоки $G(x)$, $G2(x)$ — это блоки контрольной логики для СВК, реализованных по предложенному методу с выбором определенных пар сжимаемых выходов и со сжатием случайно выбранных выходов соответственно. Схемы блоков $G(x)$ и $G2(x)$ приведены на рис. 6 и 7. БКС преобразуют при помощи элементов «сложение по модулю 2» сигналы с выходов СС в слова соответствующего кода с обнаружением ошибок. Блок $F2(x)$ на рис. 4 представляет собой копию контролируемой схемы с инверсией

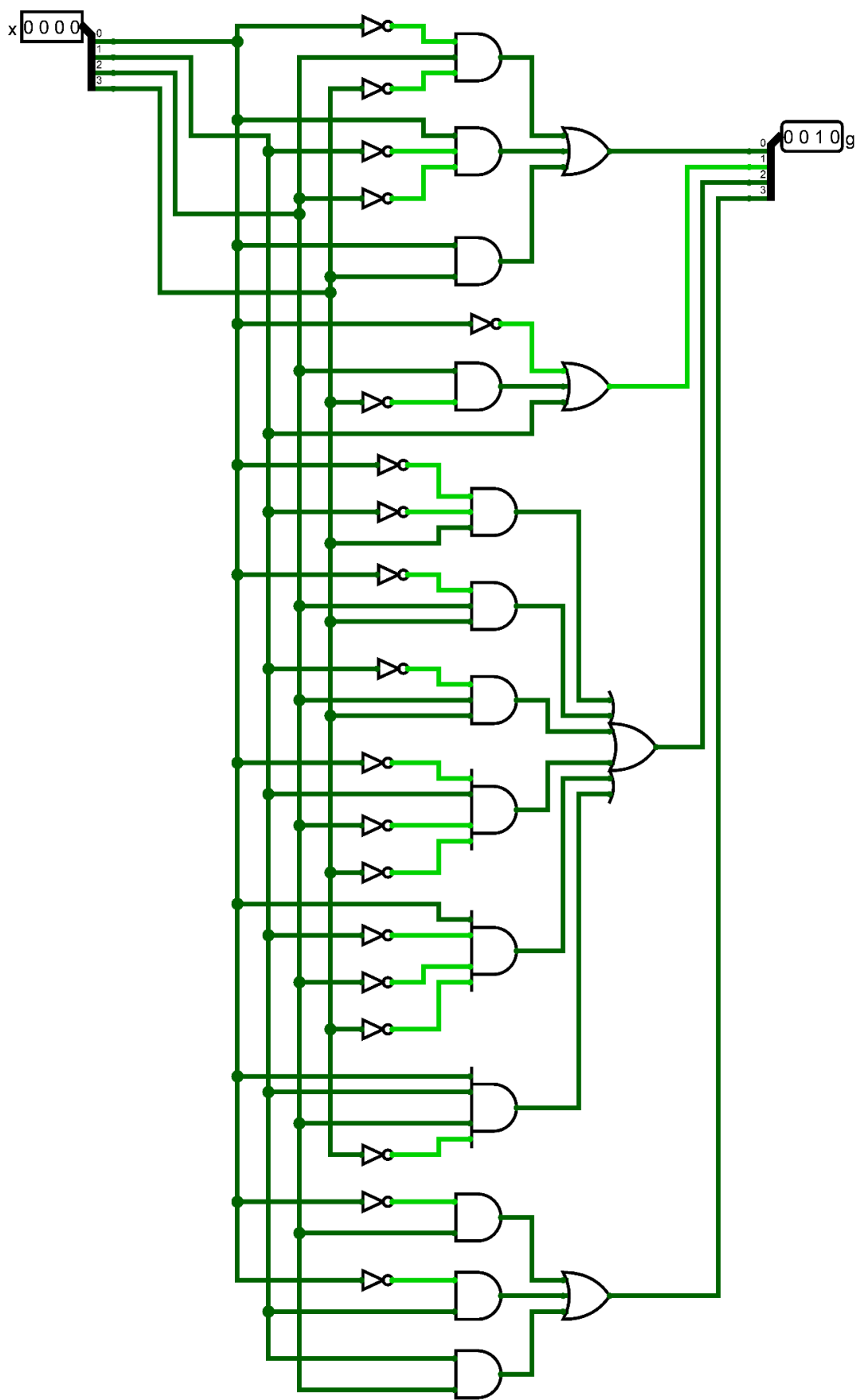


Рис. 6. Схема блока $G(x)$

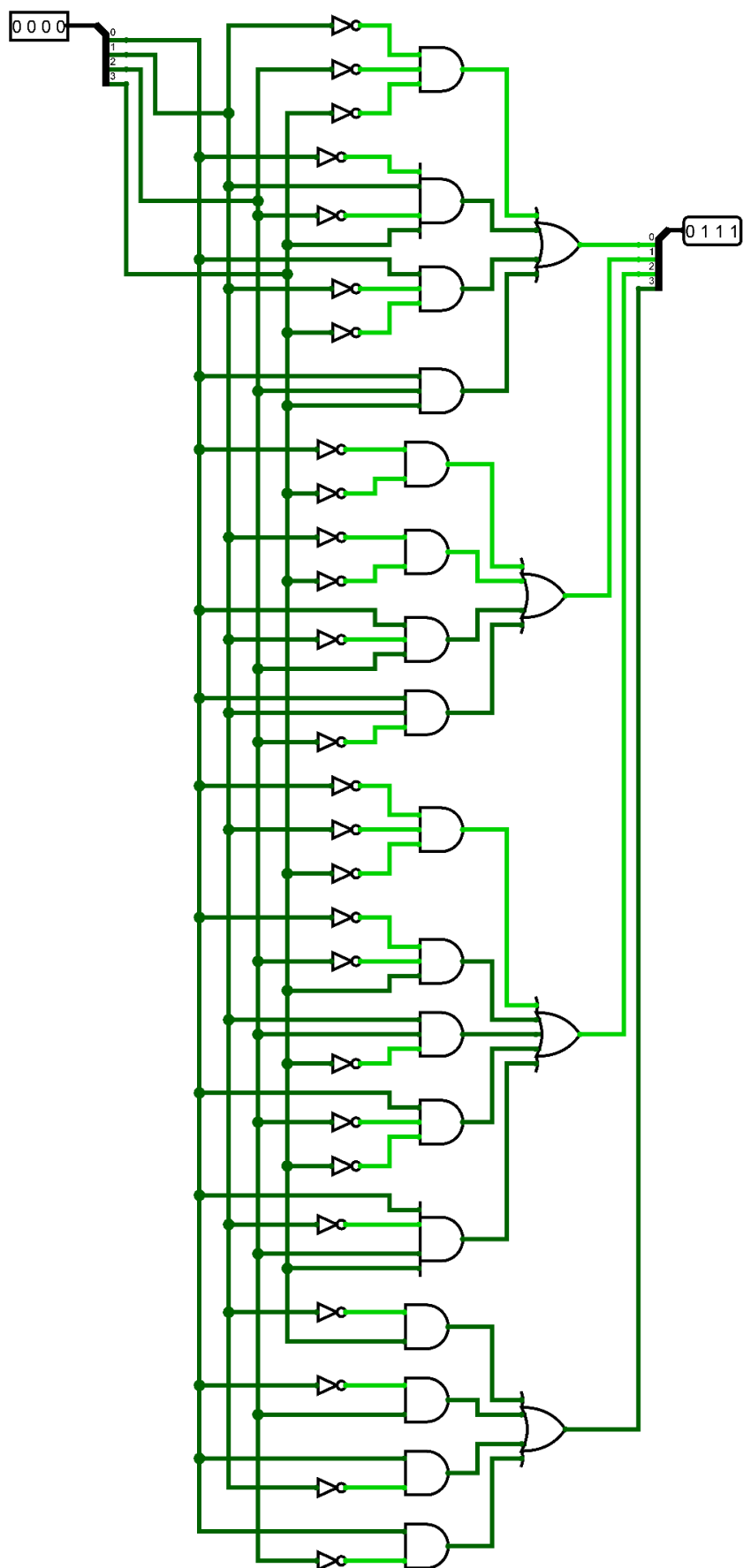


Рис. 7. Схема блока $G2(x)$

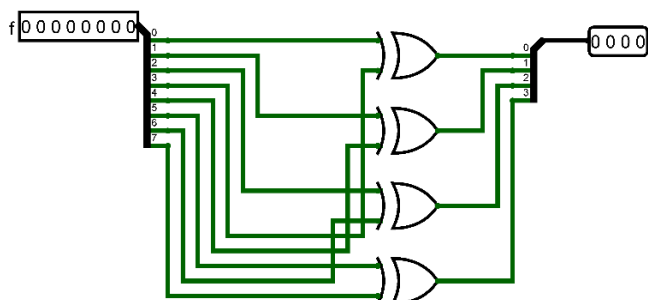


Рис. 8. Схема блока СС

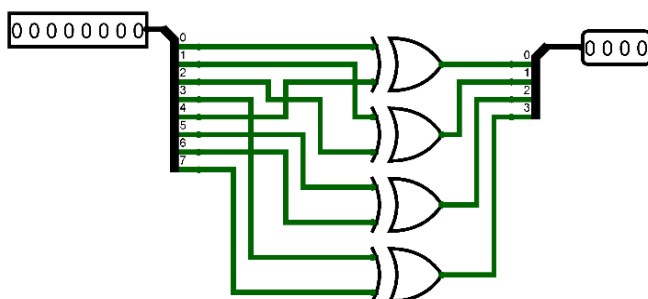


Рис. 9. Схема блока СС2

выходов. Он использован для реализации СВК по методу дублирования. Дублирование позволяет идентифицировать любые возникающие в контролируемой схеме ошибки, что использовано для подсчета общего их количества. Блоки СС и СС2 на рис. 4 являются схемами сжатия для СВК с применением выбора пар сжимаемых выходов и при выборе случайных выходов для сжатия. Их реализации в Logisim даны на рис. 8 и 9 соответственно.

Счетчик ошибок на рис. 4 реализован аналогично такому же в [31, 47]. Верхний счетчик ошибок работает для СВК, реализованной с использованием предложенного в статье метода, средний — при сжатии произвольных выходов, а нижний — при использовании метода дублирования. Генератор В тактирует и синхронизирует работу этих счетчиков.

В эксперименте вносились одиночные константные неисправности на выходах логических элементов в структуре блока $F(x)$ и подсчитывалось возникающее на его выходах количество ошибок при подаче на его входы полного множества входных комбинаций. Дублирование позволило обнаружить 106 ошибок. Так как дублирование обнаруживает все ошибки, то можно принять это число за общее число ошибок. В СВК с использованием

предложенного метода в данной статье обнаружено 74 ошибки. В СВК, предполагающей случайный выбор пар сжимаемых выходов, — только 55 ошибок, что на 25 % меньше. Таким образом, применение предложенного метода позволяет идентифицировать большее количество ошибок на выходах устройства. Необходимо отметить, что схема сжатия представляет собой наиболее уязвимое звено в СВК (см. рис. 1), где и маскируются ошибки.

Заключение

Предложенный метод организации СВК с применением двух диагностических параметров и предварительным сжатием сигналов позволяет уменьшить структурную избыточность самопроверяемого цифрового устройства по сравнению с известными методами, в том числе по сравнению с описанным ранее методом, не подразумевающим предварительного сжатия сигналов [31, 32].

Особенностью предлагаемого метода является использование схемы сжатия сигналов в СВК, что требует специальных схемотехнических методов или выбора пар сжимаемых выходов для исключения компенсации ошибок на входах элементов сжатия.

Для сжатия может применяться и абсолютно другая схема, позволяющая фактически реализовывать не сжатие информации, а ее кодирование в заранее выбранный избыточный код с высокими показателями обнаружения ошибок. Обнаруживающая способность на выходах схемы сжатия будет определяться характеристиками выбранного для преобразования избыточного кода [18, 19].

Необходимо признать, что вопросы выбора способа реализации схемы сжатия остаются к настоящему моменту изученными не до конца. Существует проблема выбора пар и групп сжимаемых выходов таким образом, чтобы не происходило пропуска возникающих в них ошибок. Схемотехнически подобная задача решается при моделировании работы самого устройства и поиске тех групп выходов, при сжатии которых возможна компенсация ошибки. Дальнейшие исследования могут быть направлены на изучение именно особенностей сжатия сигналов и влияния их на конечную структурную

избыточность полностью самопроверяемого цифрового устройства. Также интересным является вопрос исследования диагностических способностей предлагаемого подхода при синтезе СВК в условиях возникновения скрытых неисправностей [48, 49]. Это актуально при рассмотрении систем критического действия, когда входные данные меняются не столь часто и создаются условия накопления неисправностей, и, как следствие, требуется оценка влияния кратных отказов на выходы объекта диагностирования. К таким системам относятся, например, системы управления движением поездов на железнодорожных станциях и перегонах [50].

В заключение отметим, что структура с контролем вычислений по двум диагностическим параметрам может использоваться на практике при синтезе самопроверяемых цифровых устройств на современной программируемой элементной базе с соответствующей адаптацией под нее. Ее применение позволяет учесть индивидуальные особенности объектов диагностирования и синтезировать наименее избыточное самопроверяемое цифровое устройство. ▲

Библиографический список

1. Mikoni S. Top Level Diagnostic Models of Complex Objects / S. Mikoni // *Lecture Notes in Networks and Systems*. — 2022. — Vol. 442. — Pp. 238–249. — DOI: 10.1007/978-3-030-98832-6_21.
2. Матросова А. Ю. Построение последовательности, обнаруживающей робастно тестируемые неисправности задержек путей в схемах с памятью / А. Ю. Матросова, С. В. Чернышов, О. Х. Ким и др. // *Автоматика и телемеханика*. — 2021. — № 11. — С. 148–168. — DOI: 10.31857/S0005231021110106.
3. Слабаков Е. В. Самопроверяемые вычислительные устройства и системы (обзор) / Е. В. Слабаков, Е. С. Согомоян // *Автоматика и телемеханика*. — 1981. — № 11. — С. 147–167.
4. Микони С. В. Общие диагностические базы знаний вычислительных систем / С. В. Микони. — СПб.: СПИИРАН, 1992. — 234 с.
5. Lala P. K. Self-Checking and Fault-Tolerant Digital Design / P. K. Lala. — San Francisco: Morgan Kaufmann Publishers, 2001. — 216 p.
6. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications / E. Fujiwara. — John Wiley & Sons, 2006. — 720 p.
7. Дрозд А. В. Рабочее диагностирование безопасных информационно-управляющих систем / А. В. Дрозд, В. С. Харченко, С. Г. Антошук и др.; под ред. А. В. Дрозда и В. С. Харченко. — Харьков: Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», 2012. — 614 с.
8. Пархоменко П. П. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства) / П. П. Пархоменко, Е. С. Согомоян. — М.: Энергоатомиздат, 1981. — 320 с.
9. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомоян, Е. В. Слабаков. — М.: Радио и связь, 1989. — 208 с.
10. Гессель М. Контроль комбинационных схем методом логического дополнения / М. Гессель, А. В. Морозов, В. В. Сапожников и др. // *Автоматика и телемеханика*. — 2005. — № 8. — С. 161–172.
11. Nicolaidis M. On-Line Testing for VLSI — A Compendium of Approaches / M. Nicolaidis, Y. Zorian // *Journal of Electronic Testing: Theory and Application*. — 1998. — Vol. 12. — Iss. 1–2. — Pp. 7–20. — DOI: 10.1023/A:1008244815697.
12. Мехов В. Б. Контроль комбинационных схем на основе модифицированных кодов с суммированием / В. Б. Мехов, В. В. Сапожников, Вл. В. Сапожников // *Автоматика и телемеханика*. — 2008. — № 8. — С. 153–165.
13. Гаврилов С. В. Применение теории кодирования для повышения помехозащищенности комбинационных схем / С. В. Гаврилов, С. И. Гуров, Т. Д. Жукова и др. // *Информационные технологии*. — 2016. — Т. 22. — № 12. — С. 931–937.
14. Tshagharyan G. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications / G. Tshagharyan, G. Harutyunyan, S. Shoukourian et al. // *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDT'S'2017)*, Novi Sad, Serbia, September 29 — October 2, 2017. — Pp. 25–28. — DOI: 10.1109/EWDT'S.2017.8110065.
15. Пашуков А. В. Синтез устройств управления объектами напольной автоматизации железнодорожного транспорта на программируемых логических интегральных схемах / А. В. Пашуков // *Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)*. — 2021. — № 1. — С. 61–69. — DOI: 10.31114/2078-7707-2021-1-61-69.
16. Reynolds D. A. Fault Detection Capabilities of Alternating Logic / D. A. Reynolds, G. Meize // *IEEE Transactions on Computers*. — 1978. — Vol. C-27. — Iss. 12. — Pp. 1093–1098.
17. Göessel M. New Methods of Concurrent Checking: Edition 1 / M. Göessel, V. Ocheretny, E. Sogomonyan et al. — Dordrecht: Springer Science+Business Media B. V., 2008. — 184 p.
18. Сапожников В. В. Коды Хэмминга в системах функционального контроля логических устройств / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — СПб.: Наука, 2018. — 151 с.
19. Сапожников В. В. Коды с суммированием для систем технического диагностирования. Т. 1: Классические

- коды Бергера и их модификации / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — М.: Наука, 2020. — 383 с.
20. Сапожников В. В. Коды с суммированием для систем технического диагностирования. Т. 2: Взвешенные коды с суммированием / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — М.: Наука, 2021. — 455 с.
21. Яблонский С. В. Введение в дискретную математику: учеб. пособие для вузов / С. В. Яблонский; под ред. В. А. Садовничева. 4-е изд., стер. — М.: Высшая школа, 2003. — 384 с.
22. Аксенова Г. П. Восстановление в дублированных устройствах методом инвертирования данных / Г. П. Аксенова // Автоматика и телемеханика. — 1987. — № 10. — С. 144–153.
23. Sapozhnikov V. V. Self-Dual Parity Checking — a New Method for on Line Testing / V. V. Sapozhnikov, A. Dmitriev, M. Goessel et al. // Proceedings of 14th IEEE VLSI Test Symposium. — USA, Princeton, 1996. — Pp. 162–168.
24. Гессель М. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций / М. Гессель, В. И. Мошанин, В. В. Сапожников и др. // Автоматика и телемеханика. — 1997. — № 12. — С. 193–200.
25. Гессель М. Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах / М. Гессель, А. В. Дмитриев, В. В. Сапожников и др. // Автоматика и телемеханика. — 1999. — № 11. — С. 162–174.
26. Гессель М. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций / М. Гессель, А. А. Морозов, В. В. Сапожников и др. // Автоматика и телемеханика. — 2000. — № 2. — С. 151–163.
27. Гессель М. Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля / М. Гессель, А. В. Дмитриев, В. В. Сапожников и др. // Автоматика и телемеханика. — 2000. — № 7. — С. 140–149.
28. Гессель М. Исследование свойств самодвойственных самопроверяемых многотактных схем / М. Гессель, А. В. Дмитриев, В. В. Сапожников и др. // Автоматика и телемеханика. — 2001. — № 4. — С. 148–159.
29. Сапожников В. В. Самодвойственные дискретные устройства / В. В. Сапожников, Вл. В. Сапожников, М. Гессель. — СПб: Энергоатомиздат (Санкт-Петербургское отделение), 2001. — 331 с.
30. Сапожников В. В. Синтез самодвойственных дискретных систем / В. В. Сапожников, Вл. В. Сапожников, Р. Ш. Валиев. — СПб: Элмор, 2006. — 220 с.
31. Efanov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems / D. Efanov, V. Sapozhnikov, V. Sapozhnikov et al. // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTs'2019), Batumi, Georgia, September 13–16, 2019. — Pp. 136–143. — DOI: 10.1109/EWDTs.2019.8884398.
32. Ефанов Д. В. Метод функционального контроля комбинационных логических устройств на основе самодвойственного дополнения до равновесных кодов / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников и др. // Электронное моделирование. — 2020. — Т. 42. — № 3. — С. 27–52. — DOI: 10.15407/emodel.42.03.027.
33. Efanov D. V. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression / D. Efanov, V. Sapozhnikov, V. Sapozhnikov // Automatic Control and Computer Sciences. — 2021. — Vol. 55. — Iss. 2. — Pp. 113–124. — DOI: 10.3103/S014641162102005X.
34. Гессель М. Логическое дополнение — новый метод контроля комбинационных схем / М. Гессель, А. В. Морозов, В. В. Сапожников и др. // Автоматика и телемеханика. — 2003. — № 1. — С. 167–176.
35. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes / S. J. Piestrak. — Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. — 111 p.
36. Сапожников В. В. Самопроверяемые дискретные устройства / В. В. Сапожников, Вл. В. Сапожников. — СПб: Энергоатомиздат, 1992. — 224 с.
37. Carter W. C. Self-Checking Error Checker for Two-Rail Coded Data / W. C. Carter, K. A. Duke, P. R. Schneider // United States Patent Office, filed July 25, 1968. — Ser. No. 747533, patented Jan. 26, 1971. N. Y. — 10 p.
38. Ефанов Д. В. Синтез самопроверяемых комбинационных устройств с контролем вычислений по двум диагностическим параметрам / Д. В. Ефанов, Д. В. Пивоваров // Известия высших учебных заведений. Приборостроение. — 2022. — Т. 65. — № 7. — С. 461–477. — DOI: 10.17586/0021-3454-2022-65-7-461-477.
39. Ефанов Д. В. Организация схем встроенного контроля на основе метода логического дополнения с предварительным преобразованием рабочих функций в контрольные векторы кодов Бергера / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников // Информационные технологии. — 2021. — Т. 27. — № 6. — С. 306–313. — DOI: 10.17587/it.27.306-313.
40. Ефанов Д. В. Синтез схем встроенного контроля на основе метода логического дополнения с предварительным сжатием сигналов рабочих функций / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников, Г. В. Осадчий // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. — 2021. — № 1. — С. 97–115. — DOI: 10.17223/19988605/54/12.
41. Аксенова Г. П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 / Г. П. Аксенова // Автоматика и телемеханика. — 1979. — № 9. — С. 126–135.
42. Efanov D. V. Synthesis of Built-in Self-Test Control Circuits Based on the Method of Boolean Complement to Constant-Weight 1-out-of-n Codes / D. V. Efanov, V. V. Sapozhnikov, V. V. Sapozhnikov et al. // Automatic Control and Computer Sciences. — 2019. — Vol. 53. — Iss. 6. — Pp. 481–491. — DOI: 10.3103/S014641161906004X.
43. Zakrevskij A. Optimization in Boolean Space / A. Zakrevskij, Yu. Pottosin, L. Cheremisinova. — Tallinn: TUT Press, 2009. — 241 p.
44. Sentovich E. M. Sequential Circuit Design Using Synthesis and Optimization / E. M. Sentovich, K. J. Singh, C. Moon et al. // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992,

- Cambridge, MA, USA. — Pp. 328–333. — DOI: 10.1109/ICCD.1992.276282.
45. Sentovich M. SIS: A System for Sequential Circuit Synthesis / E. M. Sentovich, K. J. Singh, L. Lavagno et al. // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992. — 45 p.
46. Collection of Digital Design Benchmarks. — URL: <http://ddd.fit.cvut.cz/www/prj/Benchmarks/>.
47. Efanov D. V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters / D. V. Efanov, D. V. Pivovarov // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10–13, 2021. — Pp. 200–206. — DOI: 10.1109/EWDTS52692.2021.9581019.
48. Drozd O. Hidden Fault Analysis of FPGA Projects for Critical Applications / O. Drozd, I. Perebeinos, O. Martynyuk et al. // Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), 25–29 February 2020. — Lviv-Slavsko, Ukraine. — P. 142. — DOI: 10.1109/TCSET49122.2020.235591.
49. Drozd A. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions / A. Drozd, V. Kharchenko, S. Antoshchuk et al. // Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTS'2011). — Sevastopol, Ukraine, 2011. — Pp. 411–416. — DOI: 10.1109/EWDTS.2011.6116606.
50. Сапожников Вл. В. Синтез систем управления движением поездов на железнодорожных станциях с исключением опасных отказов / Вл. В. Сапожников. — М.: Наука, 2021. — 229 с.

TRANSPORT AUTOMATION RESEARCH, 2022, Vol. 8, No. 4, pp. 399–417
DOI: 10.20295/2412-9186-2022-8-04-399-417

Synthesis Method of Self-Checking Devices with Calculation Control by Two Diagnostic Parameters with Preliminary Compression of Signals from the Object of Diagnosis

Information about authors

Efanov D. V., Doctor in Engineering, Assistant Professor, IEEE (Institute of Electrical and Electronics Engineers) Member, Full-member of International Transport Academy, General Director Deputy on Scientific Research Work¹, Professor^{2,3}.

E-mail: TrES-4b@yandex.ru

Pivovarov D. V., PhD in Engineering, Lecturer⁴.

E-mail: pivovarov.d.v.spb@gmail.com

Leonenko O. V., PhD in Engineering, Associate Professor, Scientific Chief⁵.

E-mail: olegonenko@gmail.com

¹«Scientific Research and Design Institute “Transport and Construction Safety”» LLC, St. Petersburg

²Peter the Great Saint Petersburg Polytechnical University, Transport Higher School, Mechanical Engineering, Material and Transport Institute, Saint Petersburg

³Russia Transport University (MIIT), Department of Automation, Remote Control and Communication on Railway Transport, Moscow

⁴Emperor Alexander I St. Petersburg State Transport University, “Automation and Remote Control on Railways” Department, St. Petersburg

⁵Belarus-Russia University, Engineering Center “SimTech”, Mogilev

Abstract: The structure of self-checking digital devices with calculation control by two diagnostic parameters has been proposed. The belonging of being formed in in-built control circuit codeword to constant-weight code “2-out-of-4” is used as a first parameter. A second parameter is the belonging of each being calculated function to the class of self-dual Boolean functions. The specificity of being described in the article the organization structure of self-checking digital devices is the presence of the circuit of preliminary compression of signals from diagnosis object. Its usage allows to cut structural redundancy of end device down essentially. Besides, nevertheless, errors can be masked at the inputs of compression elements. The article underlines the features of the choice of being compressed outputs of diagnosis object and the algorithm is proposed allowing to minimize the risk of undetectable error occurrence at compression scheme output. The algorithm of built-in control scheme synthesis by two diagnosis

parameters has been presented which takes into account conditions for the formation of full set of test combinations for testers and elements of transformation in signal correction block. The example of realization of synthesis algorithm for fully self-checking device Logisim is considered. Key features of built-in control scheme are denoted; the scheme is embodied according to the proposed structure. The way of organizing calculation control by two diagnostic parameters is of interest at the synthesis of fully self-checking digital calculation devices and systems.

Keywords: self-checking circuit of in-built control; control of calculations by combinational devices; preliminary compression of signals; code method of control of calculations; function self-duality control.

References

- Mikoni S. Top Level Diagnostic Models of Complex Objects. Lecture Notes in Networks and Systems. 2022, vol. 442, pp. 238–249. DOI: 10.1007/978-3-030-98832-6_21.
- Matrosova A. Ju., Chernyshov S. V., Kim O. H., Nikolaeva E. A. Postroenie posledova-tel'nosti, obnaruzhivajushhej robstno testiruemye neispravnosti zaderzhek putej v shemah s pamjat'ju [Construction of a sequence that detects robustly tested path delay faults in circuits with memory]. *Avtomatika i telemekhanika* [Automation and Telemekhanics]. 2021, I. 11, pp. 148–168. DOI: 10.31857/S0005231021110106. (In Russian)
- Slabakov E. V., Sogomonjan E. S. Samoproverjaemye vychislitel'nye ustrojstva i sistemy (obzor) [Self-Checking Computing Devices and Systems (Review)]. *Avtomatika i telemekhanika* [Automation and Telemekhanics]. 1981, I. 11, pp. 147–167. (In Russian)
- Mikoni S. V. *Obshhie diagnosticheskie bazy znaniy vychislitel'nyh system* [General diagnostic knowledge bases of computing systems]. St. Petersburg: SPIIRAN Publ., 1992, 234 p. (In Russian)
- Lala P. K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001, 216 p.
- Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006, 720 p.
- Drozd A. V., Harchenko V. S., Antoshuk S. G., Drozd Ju. V., Drozd M. A., Sulima Ju. Ju. *Rabochee diagnostirovanie bezopasnyh informacionno-upravljajushhih system* [Working diagnostics of safe information and control systems]. Har'kov: Nacional'nyj ajerokosmicheskij uni-versitet im. N.E. Zhukovskogo «HA» Publ., 2012, 614 p. (In Russian)
- Parhomenko P. P., Sogomonjan E. S. *Osnovy tehnicheckoj diagnostiki (optimizacija algoritmov diagnostirovanija, apparaturnye sredstva)* [Fundamentals of technical diagnostics (optimization of diagnostic algorithms, hardware)]. Moscow: Jenergoatomizdat Publ., 1981, 320 p. (In Russian)

9. Sogomonjan E. S., Slabakov E. V. *Samoproverjaemye ustrojstva i otkazoustojchivye si-stemy* [Self-checking devices and fault-tolerant systems]. Moscow: Radio i svjaz' Publ., 1989, 208 p. (In Russian)
10. Gessel' M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Kontrol' kombinacionnyh shem metodom logicheskogo dopolnenija [Control of combinational circuits by the method of logical addition]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2005, I. 8, pp. 161–172. (In Russian)
11. Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches. *Journal of Electronic Testing: Theory and Application*. 1998, vol. 12, I. 1-2, pp. 7–20. DOI: 10.1023/A:1008244815697.
12. Mehov V. B., Sapozhnikov V. V., Sapozhnikov VI. V. Kontrol' kombinacionnyh shem na osnove modifitsirovannyh kodov s summirovaniem [Control of combinational circuits based on modified codes with summation]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2008, I. 8, pp. 153–165. (In Russian)
13. Gavrilov S. V., Gurov S. I., Zhukova T. D., Ryzhova D. I. Primenenie teorii kodirovaniya dlja povysheniya pomehozashhishhennosti kombinacionnyh shem [Application of coding theory to improve the noise immunity of combinational circuits]. *Informacionnye tehnologii* [Information technologies]. 2016, vol. 22, I. 12, pp. 931–937. (In Russian)
14. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications. *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTs'2017)*, Novi Sad, Serbia, September 29 – October 2, 2017, pp. 25–28. DOI: 10.1109/EWDTs.2017.8110065.
15. Pashukov A. V. Sintez ustrojstv upravlenija ob#ektami napol'noj avtomatizacii zheleznodorozhnogo transporta na programmuemyh logicheskikh integral'nyh shemah [Synthesis of control devices for objects of floor automation of railway transport on programmable logic integrated circuits]. *Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MJeS)* [Problems of development of promising micro- and nanoelectronic systems (MES)]. 2021, I. 1, pp. 61–69. DOI: 10.31114/2078-7707-2021-1-61-69. (In Russian)
16. Reynolds D. A., Meize G. Fault Detection Capabilities of Alternating Logic. *IEEE Transactions on Computers*. 1978, vol. C-27, I. 12, pp. 1093–1098.
17. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
18. Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. *Kody Hjemminga v sistemah funkcional'nogo kontrolja logicheskikh ustrojstv* [Hamming codes in systems of functional control of logical devices]. St. Petersburg: Nauka Publ., 2018, 151 p. (In Russian)
19. Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Kody s summirovaniem dlja sistem tehničeskogo diagnostirovaniya [Summation codes for technical diagnostic systems]. *Klassicheskie kody Bergera i ih modifikacii* [Classic Berger codes and their modifications]. Moscow: Nauka Publ., 2020, 383 p. (In Russian)
20. Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V. Kody s summirovaniem dlja sistem tehničeskogo diagnostirovaniya [Summation codes for technical diagnostic systems]. *Vzveshennye kody s summirovaniem* [Weighted Summation Codes]. Moscow: Nauka Publ., 2021, 455 p. (In Russian)
21. Jablonskij S. V. *Vvedenie v diskretnuju matematiku* [Introduction to Discrete Mathematics]. Moscow: «Vysshaja shkola» Publ., 2003, 384 p. (In Russian)
22. Aksjonova G. P. Vosstanovlenie v dublirrovannyh ustrojstvah metodom invertirovaniya dannyh [Restoration in duplicated devices by the method of data inversion]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 1987, I. 10, pp. 144–153. (In Russian)
23. Sapozhnikov VI. V., Dmitriev A., Goessel M., Sapozhnikov V. V. Self-Dual Parity Checking – a New Method for on Line Testing. *Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton*. 1996, pp. 162–168.
24. Gessel' M., Moshanin V. I., Sapozhnikov V. V., Sapozhnikov VI. V. Obnaruzhenie neispravnostej v samoproverjaemyh kombinacionnyh shemah s ispol'zovaniem svojstv samodvojtvennyh funkcij [Fault detection in self-checking combinational circuits using the properties of self-dual functions]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 1997, I. 12, pp. 193–200. (In Russian)
25. Gessel' M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Samotestiruemaja struktura dlja funkcional'nogo obnaruzhenija otkazov v kombinacionnyh shemah [Self-testing structure for functional failure detection in combinational circuits]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 1999, I. 11, pp. 162–174. (In Russian)
26. Gessel' M., Morozov A. A., Sapozhnikov V. V., Sapozhnikov VI. V. Postroenie samoproverjaemyh kombinacionnyh shem na osnove svojstv samodvojtvennyh funkcij [Construction of self-checking combinational circuits based on the properties of self-dual functions]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2000, I. 2, pp. 151–163. (In Russian)
27. Gessel' M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Obnaruzhenie neispravnostej v kombinacionnyh shemah s pomoshh'ju samodvojtvennogo kontrolja [Detection of faults in combinational circuits using self-dual control]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2000, I. 7, pp. 140–149. (In Russian)
28. Gessel' M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Issledovanie svojstv samodvojtvennyh samoproverjaemyh mnogotaktnyh shem [Investigation of the properties of self-dual self-checking multi-cycle circuits]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2001, I. 4, pp. 148–159. (In Russian)
29. Sapozhnikov V. V., Sapozhnikov VI. V., Gessel' M. *Samodvojtvennye diskretnye ustrojstva* [Self-Dual Discrete Devices]. St. Petersburg: Jenergoatomizdat (Sankt-Peterburgskoe otделение) Publ., 2001, 331 p. (In Russian)
30. Sapozhnikov V. V., Sapozhnikov VI. V., Valiev R. Sh. *Sintez samodvojtvennyh diskretnyh sistem* [Synthesis of self-dual discrete systems]. St. Petersburg: Jelmor Publ., 2006, 220 p. (In Russian)
31. Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems. *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTs'2019)*, Batumi, Georgia, September 13-16, 2019, pp. 136–143. DOI: 10.1109/EWDTs.2019.8884398.
32. Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V., Pivovarov D. V. Metod funkcional'nogo kontrolja kombinacionnyh logicheskikh ustrojstv na osnove samodvojtvennogo dopolnenija do ravnovesnyh kodov [The method of functional control of combinational logic devices based on self-dual addition to equilibrium codes]. *Elektronnoe modelirovanie* [Electronic modeling]. 2020, vol. 42, I. 3, pp. 27–52. DOI: 10.15407/emodel.42.03.027. (In Russian)
33. Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression. *Automatic Control and Computer Sciences*. 2021, vol. 55, I. 2, pp. 113–124. DOI: 10.3103/S014641162102005X.
34. Gessel' M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov VI. V. Logicheskoe dopolnenie – novyj metod kontrolja kombinacionnyh shem [Logical complement - a new method of control of combinational circuits]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 2003, I. 1, pp. 167–176. (In Russian)
35. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. *Wroclaw: Oficyna Wydawnicza Politechniki Wroclawskiej*, 1995, 111 p.
36. Sapozhnikov V. V., Sapozhnikov V. V. *Samoproverjaemye diskretnye ustrojstva* [Self-checking discrete devices]. St. Petersburg: Jenergoatomizdat Publ., 1992, 224 p.
37. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data. *United States Patent Office*, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y., 10 p.
38. Efanov D. V., Pivovarov D. V. Sintez samoproverjaemyh kombinacionnyh ustrojstv s kontrol'em vychislenij po dvum diagnosticheskim parametram [Synthesis of self-checking combinational devices with control of calculations by two diagnostic parameters]. *Izvestija vysshih uchebnyh zavedenij. Priborostroenie* [Izvestia of higher educational institutions. Instrumentation]. 2022, Vol. 65, I. 7, pp. 461–477. DOI: 10.17586/0021-3454-2022-65-7-461-477. (In Russian)

39. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. Organizacija shem vstroennogo kontrolja na osnove metoda logicheskogo dopolnenija s predvaritel'nyim preobrazovanijem rabochnih funkcij v kontrol'nye vektory kodov Bergera [Organization of built-in control schemes based on the logical complement method with preliminary transformation of working functions into control vectors of Berger codes]. *Informacionnye tehnologii* [Information technologies]. 2021, Vol. 27, I. 6, pp. 306–313. DOI: 10.17587/it.27.306-313. (In Russian)
40. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V., Osadchij G. V. Sintez shem vstroennogo kontrolja na osnove metoda logicheskogo dopolnenija s predvaritel'nyim szha-tiem signalov rabochnih funkcij [Synthesis of built-in control circuits based on the logical complement method with preliminary compression of the signals of operating functions]. *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naja tehnika i informatika* [Bulletin of the Tomsk State University. Management, computer technology and informatics]. 2021, I. 1, pp. 97–115. DOI: 10.17223/19988605/54/12. (In Russian)
41. Aksjonova G. P. Neobhodimye i dostatochnye uslovija postroenija polnost'ju proverja-emyh shem svertki po modulu 2 [Necessary and sufficient conditions for constructing fully verifiable convolution schemes modulo 2]. *Avtomatika i telemekhanika* [Automation and Telemechanics]. 1979, I. 9, pp. 126–135. (In Russian)
42. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V., Pivovarov D. V. Synthesis of Built-in Self-Test Control Circuits Based on the Method of Boolean Complement to Constant-Weight 1-out-of-n Codes. *Automatic Control and Computer Sciences*. 2019, vol. 53, I. 6, pp. 481–491. DOI: 10.3103/S014641161906004X.
43. Zakrevskij A., Pottosin Yu., Cheremisinova L. Optimization in Boolean Space. Tallinn: TUT Press, 2009, 241 p.
44. Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K., Sangiovanni-Vincentelli A. Sequential Circuit Design Using Synthesis and Optimization. Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA, pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
45. Sentovich E. M., Singh K. J., Lavagno L., Moon C., Murgai R., Saldanha A., Savoj H., Stephan P. R., Brayton R. K., Sangiovanni-Vincentelli A. SIS: A System for Sequential Circuit Synthesis. Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992, 45 p.
46. Collection of Digital Design Benchmarks Available at: <http://ddd.fit.cvut.cz/www/prj/Benchmarks/>.
47. Efanov D. V., Pivovarov D. V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters. Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTs'2021), Batumi, Georgia, September 10–13, 2021, pp. 200–206. DOI: 10.1109/EWDTSS52692.2021.9581019.
48. Drozd O., Perebeinos I., Martynyuk O., Zashcholkin K., Ivanova O., Drozd M. Hidden Fault Analysis of FPGA Projects for Critical Applications. Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), 25–29 February 2020, Lviv-Slavsko, Ukraine, paper 142. DOI: 10.1109/TCSET49122.2020.235591.
49. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions. Proceedings of 9th IEEE East-West Design & Test Symposium (EWDTs'2011), Sevastopol, Ukraine, 2011, pp. 411–416. DOI: 10.1109/EWDTs.2011.6116606.
50. Sapozhnikov V. V. Sintez sistem upravlenija dvizheniem poezdov na zheleznodorozhnyh stancijah s isključenijem opasnyh otkazov [Synthesis of train traffic control at railway stations]. Moscow: Nauka Publ., 2021, 229 p. (In Russian)