

---

## Проектирование и тестирование логических устройств

УДК 681.518.5:004.052.32

**В. В. Дмитриев,  
К. С. Кононов,  
А. С. Перский**

Кафедра «Автоматика и телемеханика на железных дорогах»,  
Петербургский государственный университет путей сообщения  
Императора Александра I

### **СИНТЕЗ ТРИГГЕРОВ НА БАЗЕ ТЕОРИИ КОНЕЧНЫХ АВТОМАТОВ**

Рассматривается процесс синтеза асинхронных *RS*- и *JK*-триггеров, а также синхронного *JK*-триггера как конечных автоматов. Особое внимание уделяется моделированию работы *JK*-триггера. Представлены две версии реализации *JK*-триггера в виде принципиальной схемы в программе Multisim и в виде описания на языке *Verilog*.

*RS*-, *JK*-триггеры; синтез триггеров; теория конечных автоматов

#### **Введение**

Триггеры – класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Отличительной особенностью триггера как функционального устройства является свойство запоминания двоичной информации [1, 2].

Разрывные характеристики электронных ламп, на которых основано действие триггеров, впервые под названием «катодное реле» были описаны М. А. Бонч-Бруевичем в 1918 г. Практическую схему триггера 5 августа 1920 г. опубликовали В. Экклес и Ф. В. Джордан в патенте Великобритании № 148582 и в статье «Переключающее реле, использующее трехэлектродные вакуумные лампы» от 19 сентября 1919 г.

Основная классификационная схема, независимая от функциональной, характеризует триггеры по способу ввода информации и оценивает их по времени обновления выходной информации относительно момента смены информации

на входах. К примеру, триггеры  $RS$ -типа могут быть в синхронном и асинхронном исполнении [3].

Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала (или сигналов), с некоторой задержкой, равной сумме задержек на элементах, составляющих данный триггер [4, 5].

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации  $C$  (от *англ.* clock). Этот вход также обозначают термином «такт». Такие информационные сигналы называют синхронными. Синхронные триггеры, в свою очередь, подразделяют на триггеры со статическим и с динамическим управлением по входу синхронизации  $C$ .

Широкое применение триггеры получили при реализации разного рода конечных автоматов.

Одним из первых двухвходовых триггеров, с которым знакомятся студенты, является асинхронный  $RS$ -триггер (рис. 1 и табл. 1).

Триггер имеет два входа –  $S$  (*Set*) и  $R$  (*Reset*), а также два выхода – прямой  $Q$  и инверсный  $\bar{Q}$ . Недостатком данного триггера является запрет на использование входного воздействия  $S = R = 1$ , при котором не соблюдается парафазность выходов.

$JK$ -триггер лишен данного недостатка (табл. 2), на остальных входных наборах работа этих двух триггеров аналогична. При входном воздействии  $J = K = 1$  на выходе триггера появляется значение, противоположное тому, которое было в предыдущий момент.

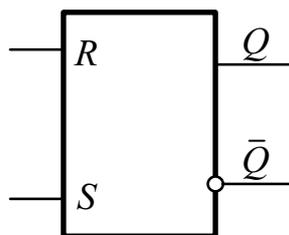


Рис. 1. Условное графическое обозначение  $RS$ -триггера

Таблица 1. Таблица работы  $RS$ -триггера

$R$	$S$	$Q_t$
0	0	$Q_{t-1}$
0	1	1
1	0	0
1	1	–

Таблица 2. Таблица работы  $JK$ -триггера

$J$	$K$	$Q_t$
0	0	$Q_{t-1}$
0	1	1
1	0	0
1	1	$\bar{Q}_{t-1}$

В качестве синхронного триггера рассмотрим  $JK$  flip-flop (рис. 2 и табл. 3). Изменение сигнала на выходе триггера происходит при изменении сигнала на входе синхронизации с 0 в 1 (на рис. 2 слева) или с 1 в 0 (на рис. 2 справа).

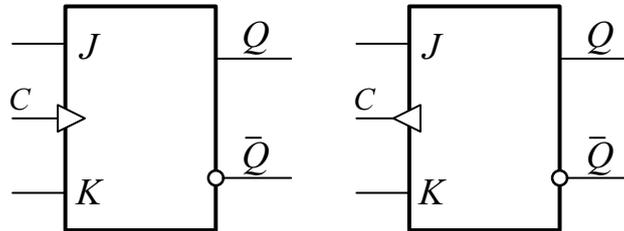


Рис. 2. Условное графическое изображение  $JK$  flip-flop

Таблица 3. Таблица работы  $CJK$ -триггера

$C$	$K$	$J$	$Q_t$
0	~	~	$Q_{t-1}$
1	0	0	$Q_{t-1}$
1	0	1	1
1	1	0	0
1	1	1	$\bar{Q}_{t-1}$

В данной статье рассматриваются вопросы синтеза логических схем триггеров с использованием теории конечных автоматов.

## 1 Синтез асинхронных триггеров

### 1.1 Синтез асинхронного $RS$ -триггера

Для синтеза триггера достаточно знать таблицу его работы (см. табл. 1). Этих данных достаточно для синтеза структуры  $RS$ -триггера как конечного автомата (КА). Построим граф переходов в программе  $JFLAP$  для асинхронного  $RS$ -триггера (рис. 3).

По полученному графу составим первичную таблицу переходов и выходов (табл. 4) и затем кодированную таблицу (см. табл. 5).

Обратим внимание на то, что  $Y = Q$ . Другими словами, функция выхода совпадает с функцией изменения состояния элемента памяти.

Проанализируем полученный результат. Очевидно, что перед тем как приступить непосредственно к минимизации, нужно определиться с базисом,

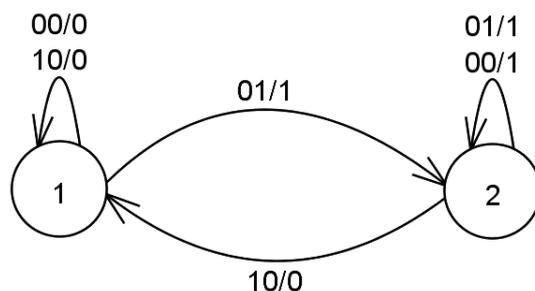


Рис. 3. Граф переходов RS-триггера

Таблица 4. Первичная таблица переходов и выходов

S	RS			
	00	01	10	11
1	<1>, 0	2, 1	<1>, 0	~
2	<2>, 1	<2>, 1	1, 0	~

Таблица 5. Кодированная таблица переходов и выходов

S	RS			
	00	01	10	11
1	0, 0	1, 1	0, 0	~
2	1, 1	1, 1	0, 0	~

в котором она будет производиться. В данном случае мы выберем для построения функцию Вебба (другое название – стрелка Пирса). Подробно о минимизации в базисе ИЛИ-НЕ можно прочитать в [6].

Минимальное количество элементов ИЛИ-НЕ получается, если интерпретировать безразличные состояния (~) на рис. 4 как нули:

$$Q = R \downarrow (S \downarrow q). \quad (1)$$

Этот же результат можно получить и путем аналитических преобразований функции выхода, записанной в базисе (И, ИЛИ, НЕ) по карте Карно на рис. 4:

$$Q = q\bar{R} \vee S\bar{R} = \bar{R}(q \vee S) = \overline{\overline{R} \vee \overline{(S \vee q)}} = R \downarrow (S \downarrow q). \quad (2)$$

Выражения (1) и (2) идентичны. По полученным формулам составим структурную схему триггера (рис. 5).

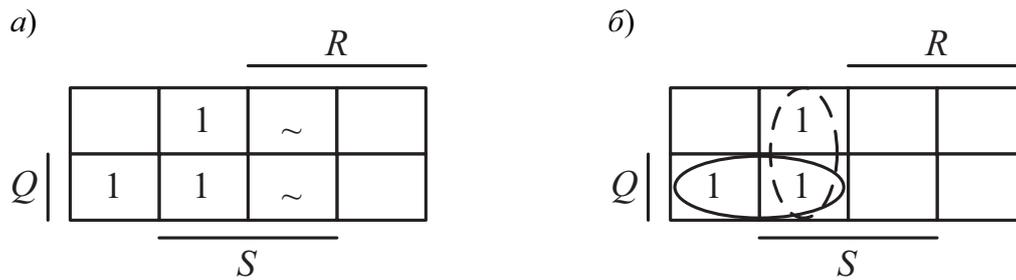


Рис. 4. Карты Карно первоначальная (а) и измененная (б) для функции выхода

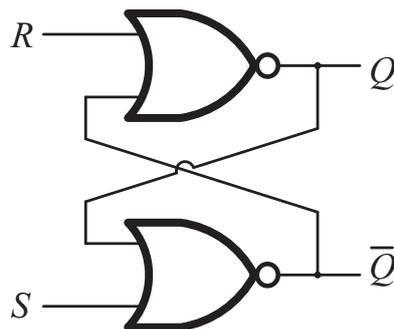


Рис. 5. Структурная схема асинхронного RS-триггера

Перейдем к синтезу следующего устройства.

### 1.2 Синтез асинхронного JK-триггера

В силу схожести рассуждений опустим часть описаний и покажем основной результат (рис. 6).

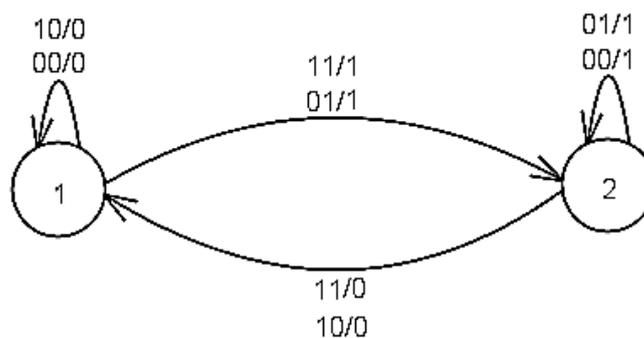


Рис. 6. Граф переходов JK-триггера

По полученному графу составим табл. 6 и 7.

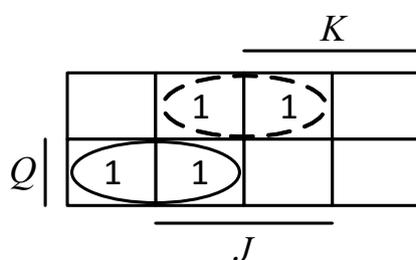
Сравним карты Карно на рис. 4 и 7 – они выглядят схожими, более того, первая карта «поглощает» вторую. Это следует из различий JK- и RS-триггеров. Первый в своем роде доопределяет второй, т. е. описывает работу триггера

**Таблица 6.** Первичная таблица переходов и выходов

$S$	$KJ$			
	00	01	10	11
1	<1>, 0	2, 1	<1>, 0	2, 1
2	<2>, 1	<2>, 1	1, 0	1, 0

**Таблица 7.** Кодированная таблица переходов и выходов

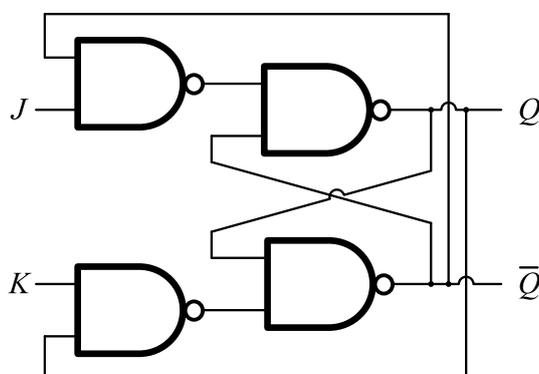
$S$	$KJ$			
	00	01	10	11
1	0, 0	1, 1	0, 0	1, 1
2	1, 1	1, 1	0, 0	0, 0

**Рис. 7.** Карта Карно для функции выхода

на входном наборе 11. Для реализации устройства выберем базис Шеффера (элементы И-НЕ). Путем аналитических преобразований получаем:

$$Q = y\bar{K} \vee J\bar{y} = J\bar{y} \vee (\bar{K} \vee \bar{y})y = \overline{\overline{JyK}y}. \quad (3)$$

Схема показана на рис. 8.

**Рис. 8.** Структурная схема асинхронного  $JK$ -триггера

Реализацию *RS*-триггера на элементах (И-НЕ) и *JK*-триггера на элементах (ИЛИ-НЕ) оставляем читателю для самостоятельной работы.

## 2 Синтез синхронных триггеров

Ограничимся синтезом синхронного *JK*-триггера, называемого в иностранной литературе *JK flip-flop* [7]. Условное графическое обозначение см. на рис. 2 и в табл. 3.

На основании исходных данных построим граф переходов (рис. 9).

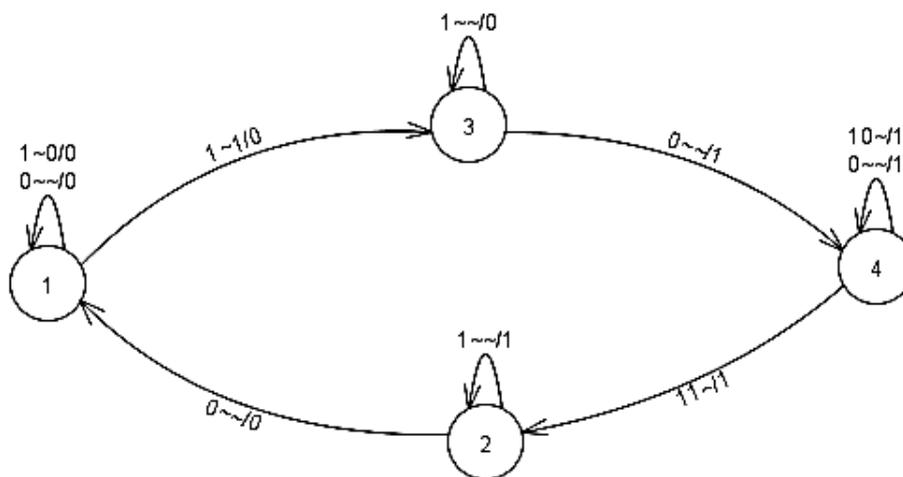


Рис. 9. Граф переходов *СJK*-триггера

По полученному графу составим первичную таблицу переходов и выходов (табл. 8) и затем кодированную таблицу (табл. 9).

Карты Карно для функций  $Q_1$  и  $Q_2$  показаны на рис. 10.

В результате минимизации получены выражения:

$$Q_1 = q_1 \bar{C} \vee q_1 \bar{K} \vee q_1 \bar{q}_2 \vee \bar{q}_2 JC; \tag{4}$$

$$Q_2 = q_1 \bar{C} \vee q_2 C. \tag{5}$$

Как и в реализации асинхронного *JK*-триггера, будем использовать базис Шеффера. Для этого преобразуем формулы (4) и (5):

$$Q_1 = \overline{\overline{q_1 C K q_2 J C}}; \tag{6}$$

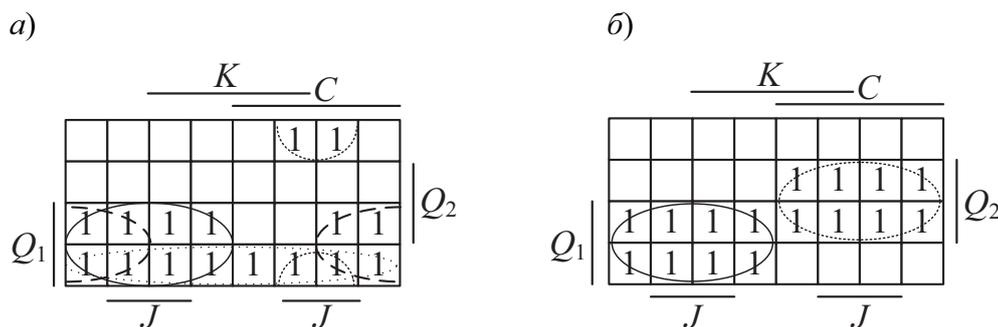
$$Q_2 = \overline{\overline{C q_1 q_2 q_1 C}}. \tag{7}$$

**Таблица 8.** Первичная таблица переходов и выходов

S	СКJ				
	0~	100	101	110	111
1	<1>, 0	<1>, 0	3, 0	<1>, 0	3, 0
2	1, 0	<2>, 1	<2>, 1	<2>, 1	<2>, 1
3	4, 1	<3>, 0	<3>, 0	<3>, 0	<3>, 0
4	<4>, 1	<4>, 1	<4>, 1	2, 1	2, 1

**Таблица 9.** Кодированная таблица переходов и выходов

$Q_1 Q_2$	СКJ				
	0~	100	101	110	111
00	00, 0	00, 0	10, 0	00, 0	10, 0
01	00, 0	01, 1	01, 1	01, 1	01, 1
10	11, 1	10, 0	10, 0	10, 0	10, 0
11	11, 1	11, 1	11, 1	01, 1	01, 1

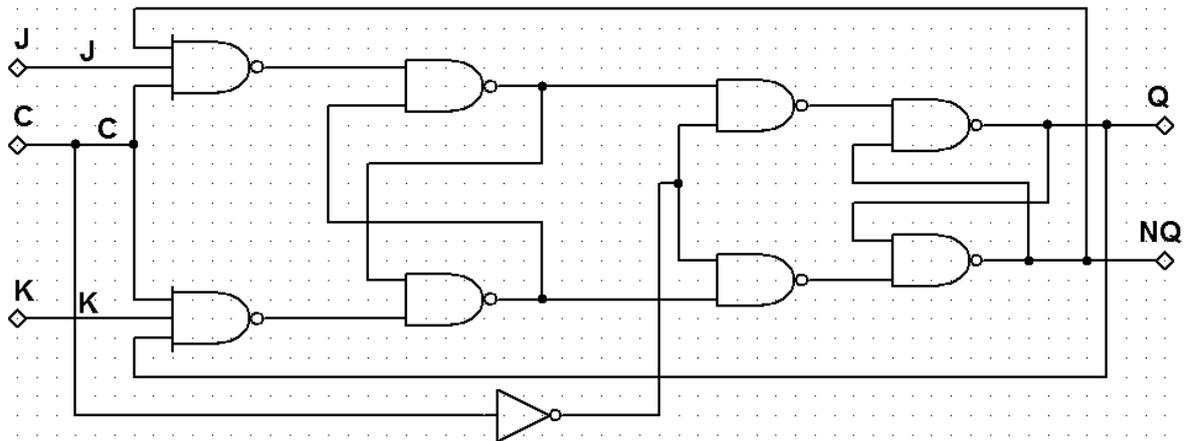
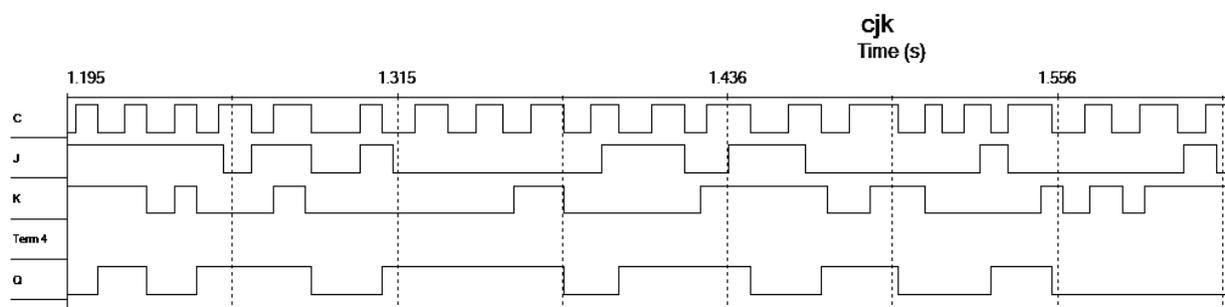
**Рис. 10.** Карты Карно для функций  $Q_1$  (а) и  $Q_2$  (б)

### 3 Реализация триггеров

Построим схему по полученным формулам в программе *Multisim* (рис. 11) и смоделируем ее работу (рис. 12). Как видно из диаграммы на рис. 12, полученное устройство работает абсолютно корректно.

Второй возможный вариант синтеза и проверок – использование языков описания аппаратуры. Воспользуемся языком *Verilog* для описания *JK flip-flop*. Существует несколько подходов к описанию, мы можем описывать поведение триггера (рис. 13) или его структуру (рис. 14).

Оба этих варианта дают одинаковый результат, представленный на диаграмме (рис. 15).

Рис. 11. Принципиальная схема *JK flip-flop*Рис. 12. Временная диаграмма работы *JK flip-flop*

```

1  module jk(q, qbar, j, k, c);
2  output q, qbar;
3  input j, k, c;
4  reg q, qbar;
5  initial
6  begin
7      q=1'b0;
8      qbar=1'b1;
9  end
10 always @(negedge c) //синхронизация по тылу, posedge - по фронту
11 begin
12     case({j,k})
13         {1'b0,1'b0}: begin q=q; qbar=qbar; end
14         {1'b0,1'b1}: begin q=1'b0; qbar=1'b1; end
15         {1'b1,1'b0}: begin q=1'b1; qbar=1'b0; end
16         {1'b1,1'b1}: begin q=~q; qbar=~qbar; end
17     endcase
18 end
19 endmodule

```

Рис. 13. Программа на языке *Verilog*, описывающая поведение *JK flip-flop*

```

1  module jk(q, qb, j, k, clk, c1);
2  input j, k, clk;
3  input c1;
4  output q, qb;
5  wire j1, k1, q1, qb1, j2, k2, q2, qb2, clk2;
6  not n(clk2, clk);
7  nand n1(j1, j, clk, qb2);
8  nand n2(k1, k, clk, q2);
9  nand n3(q1, j1, qb1);
10 nand n4(qb1, k1, q1, c1);
11 nand n5(j2, q1, clk2);
12 nand n6(k2, qb1, clk2);
13 nand n7(q2, j2, qb2);
14 nand n8(qb2, k2, q2, c1);
15 assign q=q2;
16 assign qb=qb2;
17 endmodule

```

Рис. 14. Программа на языке *Verilog*, описывающая структуру *JK flip-flop*

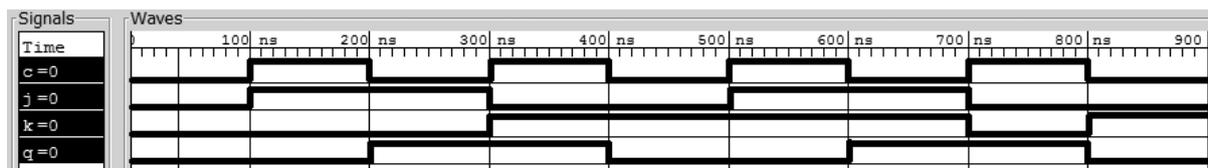


Рис. 15. Временная диаграмма работы *JK flip-flop*

## Заключение

Помимо нового методического подхода к изучению триггеров, читатель, должно быть, обратит внимание на практическую составляющую. Мы надеемся, что он не остановится на изложенных результатах, а попробует самостоятельно расширить количество синтезированных устройств.

Знакомство читателя с языками описания схем (*VHDL*, *Verilog*) позволит ему самостоятельно разрабатывать устройства на базе программируемых логических интегральных схем (*FPGA – Field-Programmable Gate Array*), использование которых в современной автоматике приобретает все большую актуальность. Применение *FPGA* позволяет реализовывать любые системы автоматике с обеспечением высокого уровня безопасности [8–10]. К примеру, в [11] описана система мониторинга контактной сети, разработанная в Корее, в [12] – система электрической централизации, разработанная для железных дорог Чехии, а в [13] – система переездной сигнализации. Стоит также отметить, что в настоящее время проводится сертификация цифрового модуля контроля рельсовых цепей (ЦМ КРЦ), разработанного в НПП «Стальэнерго» [14].

## Библиографический список

1. Сапожников Вал. В. Теория дискретных устройств железнодорожной автоматики и телемеханики / Вал. В. Сапожников, Ю. А. Кравцов, Вл. В. Сапожников. – Москва : УМК МПС РФ, 2001. – 312 с.
2. Сапожников Вал. В. Синтез синхронных автоматов по заданной временной входной – выходной последовательности / Вал. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. – Санкт-Петербург : ПГУПС, 2010. – 28 с.
3. Сапожников Вал. В. О синтезе конечных автоматов с исключением опасных отказов / Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1972. – № 8. – С. 93–99.
4. Сапожников Вал. В. Синтез асинхронных конечных автоматов с обнаружением отказов / Вал. В. Сапожников, Вл. В. Сапожников, В. Г. Трохов // Автоматика и телемеханика. – 1977. – № 4. – С. 139–148.
5. Сапожников Вал. В. Синтез полностью самоконтролирующихся асинхронных автоматов / Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1979. – № 1. – С. 154–166.
6. Поспелов Д. А. Логические методы анализа и синтеза схем / Д. А. Поспелов. – Москва : Энергия, 1974. – 368 с. : ил.
7. Volnei A. Pedroni Digital Electronics and Design with VHDL, Morgan Kaufmann, 2008, 329 p.
8. Kubalík P., Dobiáš R., Kubátová H. Dependable Design for FPGA based on Duplex System and Reconfiguration. In Proc. of 9th Euromicro Conference on Digital System Design, Los Alamitos, IEEE Computer Society, 2006, pp. 139–145.
9. Kubalík P., Fišer P., Kubátová H. Fault Tolerant System Design Method Based on Self-Checking Circuits, Proceeding of 12th International On-Line Testing Symposium 2006 (IOLTS'06), Lake of Como, Italy, pp. 185–186.
10. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source), Information Science Reference, Hershey, N. Y., IGI Global, 2011, 578 p.
11. Young Park, Yong Hyeon Cho, Kiwon Lee, Hosung Jung, Hyungchul Kim, Samyoung Kwon, Hyunjune Park Development of an FPGA-based Online Condition Monitoring System for Railway Catenary Application, 8<sup>th</sup> World Congress on Railway Research, Korea Railroad Research Institute, Uiwang-City, Republic of Korea, 2008.
12. Radek Dobias, Hana Kubatova FPGA Based Design of the Railway's Interlocking Equipments, Department of Computer Science and Engineering, Czech Technical University Prague, 2004.
13. R. Ramachandran, J. Thomas Joseph Prakash. FPGA Based SOC for Railway Level crossing Management System. International Journal of Soft Computing and Engineering (IJSCE), ISSN: 2231–2307, vol.-2, issue-3, July 2012.
14. Гоман Е. А. Микропроцессорные средства ЖАТ по технологии «высокой заводской готовности» / Е. А. Гоман, С. И. Фурсов, Ю. А. Федоркин // Автоматика, связь, информатика. – 2014. – № 4. – С. 19–20.

*Статья представлена к публикации членом редколлегии Д. В. Ефановым  
Поступила в редакцию 19.09.2014  
Контактная информация: webus@pisem.net*

© Дмитриев В. В., 2015  
© Кононов К. С., 2015  
© Перский А. С., 2015