

САМОДВОЙСТВЕННЫЕ ФУНКЦИОНАЛЬНЫЕ ЭЛЕМЕНТЫ ДЛЯ СИНТЕЗА КОНТРОЛЕПРИГОДНЫХ ЦИФРОВЫХ СИСТЕМ

ЕФАНОВ Дмитрий Викторович, д-р техн. наук, профессор, член Института инженеров электротехники и электроники (IEEE), действительный член Международной академии транспорта, заместитель генерального директора по научно-исследовательской работе¹, профессор^{2,3,4}; e-mail: TrES-4b@yandex.ru
ПОГОДИНА Татьяна Сергеевна, студент³; e-mail: pogodina-ts@mail.ru

¹ООО «НИПИ «ТрансСтройбезопасность», Санкт-Петербург

²Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта, Института машиностроения, материалов и транспорта, Санкт-Петербург

³Российский университет транспорта (МИИТ), кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте», Москва

⁴Ташкентский государственный транспортный университет, кафедра «Автоматика и телемеханика», Ташкент

Рассмотрены все самодвойственные аналоги элементарных функциональных элементов, использование которых позволяет синтезировать самодвойственные схемные реализации произвольных булевых функций. При этом может быть применено два способа синтеза, каждый из которых основан на том свойстве, что любую булеву функцию можно преобразовать в самодвойственную с использованием одной дополнительной переменной. Первый состоит в замене в структуре устройства всех несамодвойственных функциональных элементов самодвойственными аналогами. Второй состоит в получении самодвойственной функции по исходной формуле. В работе проведено моделирование самодвойственных функциональных элементов в импульсном режиме работы. Показано, что все самодвойственные функциональные элементы, кроме элементов, реализующих функции равнозначности и неравнозначности (сложения по модулю два), являются полностью самопроверяемыми относительно одиночных константных неисправностей при контроле вычислений на основе принадлежности формируемых функций классу самодвойственных булевых функций. Элементы же, реализующие упомянутые функции, требуется дополнительно контролировать. Для них неисправности не тестируются, поскольку происходят при одновременном искажении сигналов на обеих комбинациях в паре. Эту особенность данных самодвойственных функциональных элементов следует учитывать при разработке контролепригодных самопроверяемых цифровых вычислительных устройств и систем. В статье приводится пример применения способов построения самодвойственных схемных реализаций. Полученные результаты могут быть использованы при синтезе контролепригодных самодвойственных вычислительных устройств и систем.

Ключевые слова: самодвойственная булева функция; контроль вычислений; контролепригодное устройство; контроль самодвойственности; самопроверяемая схема.

DOI: 10.20295/2412-9186-2023-9-02-205-221

▼ Введение

При разработке высоконадежных вычислительных устройств и систем используются элементы с низкими показателями интенсивности отказов, а также методы, основанные на внесении избыточности в исходный объект [1–3]. При этом сами устройства снабжают развитыми средствами тестового и рабочего диагностирования, а также техническими средствами отключения отказавших узлов и реконфигурации архитектур [4–7].

Важной задачей является обнаружение неисправностей и ошибок в вычислениях, что реша-

ется зачастую путем применения самопроверяемых схем встроенного контроля (СВК) [8]. СВК синтезируются различными методами, одним из которых является использование временной избыточности и специального представления сигналов [9]. При этом контролируют принадлежность формируемых кодовых векторов множеству слов заранее выбранного двоичного избыточного кода или же принадлежность формируемых функций в контрольных точках особым классам булевых функций, например, классу самодвойственных булевых функций [10, 11]. Оба диагностических признака можно комбинировать.

В отчете [12], опубликованном в 1976 году в Университете Иллинойса (Урбана-Шампейн, Иллинойс, США), представлены оптимальные реализации самодвойственных функций от четырех переменных в базисе NOR (ИЛИ-НЕ). В этой работе обращается внимание на диагностические особенности самодвойственных функций. Несколько позже в этом же году Д. А. Рейнолдс защитил магистерскую диссертацию, основной решаемой задачей в которой была разработка методов синтеза устройств с импульсным режимом работы с обнаружением неисправностей [13]. В 1978 году была опубликована статья [14], которая широко известна специалистам в области компьютерных систем. В ней рассмотрены возможности обнаружения ошибок в схемах, функционирующих в импульсном режиме, с использованием самодвойственных сигналов. Авторами установлены необходимые и достаточные условия для логических структур, дающие возможность обнаружения любых одиночных неисправностей в них.

Методы организации контроля вычислений, основанные на импульсном режиме работы и проверке самодвойственности вычисляемых функций, в дальнейшем исследовались в ряде отдельных научных школ. Например, в более современной работе [15] смоделированы устройства сложения двоичных чисел, а в [16] показано, что логические элементы, реализующие самодвойственные функции, могут быть эффективно реализованы с применением реконфигурируемых нанотехнологий.

Среди отечественных исследователей отметим две научные школы. В исследованиях специалистов лаборатории технической диагностики и отказоустойчивости (№ 27) Института проблем управления РАН поднимались вопросы синтеза дублированных систем с контролем вычислений по признаку самодвойственности. К примеру, широко известна статья [17], в которой предложены самодвойственные аналоги запоминающих элементов (триггеров), а также обсуждаются вопросы синтеза самодвойственных конечных автоматов. В статьях профессоров Сапожниковых (кафедра «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I)

разработаны методы синтеза СВК с контролем вычислений по признаку самодвойственности. Можно кратко перечислить основные результаты их деятельности в данной отрасли диагностики: разработаны основные методы контроля вычислений с самодвойственным дополнением [18–21], разработаны методы синтеза самодвойственных комбинационных устройств и устройств с памятью [22]. Теория синтеза самодвойственных вычислительных устройств помимо множества статей опубликована в двух отечественных монографиях [23, 24] и, несколько позже, в книге [11].

Исследования последних лет в теории синтеза самодвойственных вычислительных устройств позволили разработать методы синтеза СВК с контролем вычислений по двум диагностическим признакам одновременно. В работах [25, 26] описан метод самодвойственного контроля по равновесным кодам. При этом применен такой способ организации СВК, при котором с сигналами от объекта диагностирования производят логическую коррекцию. Это позволяет контролировать любые устройства таким образом. В [27–30] описывается метод самодвойственного контроля по классическим кодам Хэмминга и их модификациям. Он подразумевает контроль вычислений устройств, выходы которых описываются самодвойственными функциями (самодвойственными устройствами). Самодвойственными являются не все устройства, а только некоторые, например, полный сумматор или мажоритарный элемент. Для получения самодвойственных устройств из несамодвойственных может быть применен способ, подразумевающий использование самодвойственных аналогов функциональных элементов при синтезе устройств, либо же предварительная процедура получения самодвойственного функционального описания. Оба способа основаны на использовании дополнительной, альтернативной переменной a для преобразования любой функции в самодвойственную.

Данная статья посвящена рассмотрению особенностей реализации самодвойственных функциональных элементов, реализующих элементарные булевы функции, в том числе моделированию их работы.

1. Самодвойственные аналоги элементарных булевых функций

Элементарные булевы функции могут быть заданы табл. 1 [9]. Через них могут быть выражены функции с любым количеством аргументов.

Функции пронумерованы от f_0 до f_{15} в соответствии с двоичными эквивалентами их значений на каждой входной комбинации x_1x_2 . Две функции не зависят от переменных — функции f_0 (тождественный ноль, 0) и f_{15} (тождественная единица, 1). Четыре функции зависят от одной переменной — это функции f_3 (повтор x_1), f_5 (повтор x_2), f_{10} (инверсия x_2) и f_{12} (инверсия x_1). Десять функций зависят от обеих переменных — функции f_1 (конъюнкция, $x_1 \& x_2$), f_2 (запрет x_1 , инверсия прямой импликации, $x_1 \mapsto x_2$), f_4 (запрет x_2 , инверсия обратной импликации, $x_2 \mapsto x_1$), f_6 (неравнозначность, сложение по модулю 2, исключающее ИЛИ, $x_1 \oplus x_2$), f_7 (дизъюнкция, $x_1 \vee x_2$), f_8 (стрелка Пирса, кинжал Квайна, функция Вебба, ИЛИ-НЕ, $x_1 \downarrow x_2$), f_9 (равнозначность, эквивалентность, $x_1 \sim x_2$), f_{11} (обратная импликация, $x_2 \rightarrow x_1$), f_{13} (прямая импликация, $x_1 \rightarrow x_2$) и f_{14} (штрих Шеффера, И-НЕ, $x_1 | x_2$).

Определение 1. Функция $g(x_1, x_2, \dots, x_i)$ называется двойственной функции $f(x_1, x_2, \dots, x_i)$, если:

$$g(x_1, x_2, \dots, x_i) = \overline{f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_i})}. \tag{1}$$

Из элементарных булевых функций двойственными являются следующие пары: (0, 1), ($x_1 \& x_2$, $x_1 \vee x_2$), ($x_1 \mapsto x_2$, $x_2 \rightarrow x_1$), ($x_2 \mapsto x_1$, $x_1 \rightarrow x_2$), ($x_1 \oplus x_2$, $x_1 \sim x_2$), ($x_1 \downarrow x_2$, $x_1 | x_2$).

Определение 2. Функция $f(x_1, x_2, \dots, x_i)$ называется самодвойственной, если:

$$f(x_1, x_2, \dots, x_i) = \overline{f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_i})}. \tag{2}$$

Среди элементарных функций четыре являются самодвойственными — это все функции существенно зависящие от одной переменной.

Для преобразования любой булевой функции в самодвойственную достаточно одной переменной a (альтернативного сигнала):

Таблица 1. Элементарные булевы функции

x_1	x_2	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Таблица 2. Таблица истинности самодвойственного аналога функции ИЛИ-НЕ

a	x_1	x_2	f
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$f^\sigma = \overline{a}f \vee ag. \tag{3}$$

где f — исходная функция, а g — двойственная к ней функция.

На ортогональных по всем переменным входных комбинациях самодвойственная функция имеет противоположные значения. Другими словами, самодвойственная функция имеет противоположные значения на симметричных (относительно середины таблицы истинности) входных комбинациях.

В табл. 2 для примера показано, как с помощью переменной a можно получить самодвойственный аналог функции ИЛИ-НЕ.

Из формулы (3) и табл. 2 получаем:

$$\begin{aligned} f_{x_1 \downarrow x_2}^\sigma &= \overline{a}(x_1 \downarrow x_2) \vee a(x_1 | x_2) = \overline{a} \overline{x_1 \vee x_2} \vee a x_1 x_2 = \\ &= \overline{a} \overline{x_1} \overline{x_2} \vee a(\overline{x_1} \vee \overline{x_2}) = \overline{a} \overline{x_1} \overline{x_2} \vee a \overline{x_1} \vee a \overline{x_2} = \\ &= \overline{x_1} \overline{x_2} \vee a \overline{x_1} \vee a \overline{x_2} = a(\overline{x_1} \vee \overline{x_2}) \vee \overline{x_1} \overline{x_2}. \end{aligned} \tag{4}$$

В преобразованиях (4) использованы формулы де Моргана и Блейка — Порецкого [9].

Аналогично преобразованиям (4) с помощью формулы (3) можно получить самодвойственные аналоги всех элементарных булевых функций. Приведем их ниже:

$$f_0^\sigma = a; \quad (5)$$

$$f_{x_1 \& x_2}^\sigma = a(x_1 \vee x_2) \vee x_1 x_2; \quad (6)$$

$$f_{x_1 \mapsto x_2}^\sigma = a(x_1 \vee \bar{x}_2) \vee x_1 \bar{x}_2; \quad (7)$$

$$f_{x_1}^\sigma = x_1; \quad (8)$$

$$f_{x_2 \mapsto x_1}^\sigma = a(\bar{x}_1 \vee x_2) \vee \bar{x}_1 x_2; \quad (9)$$

$$f_{x_2}^\sigma = x_2; \quad (10)$$

$$\begin{aligned} f_{x_1 \oplus x_2}^\sigma &= a \oplus x_1 \oplus x_2 = \\ &= \bar{a}(\bar{x}_1 x_2 \vee x_1 \bar{x}_2) \vee a(\bar{x}_1 \bar{x}_2 \vee x_1 x_2); \end{aligned} \quad (11)$$

$$f_{x_1 \vee x_2}^\sigma = \bar{a}(x_1 \vee x_2) \vee x_1 x_2; \quad (12)$$

$$f_{x_1 \downarrow x_2}^\sigma = a(\bar{x}_1 \vee \bar{x}_2) \vee \bar{x}_1 \bar{x}_2; \quad (13)$$

$$\begin{aligned} f_{x_1 \sim x_2}^\sigma &= \bar{a} \oplus x_1 \oplus x_2 = \\ &= \bar{a}(\bar{x}_1 \bar{x}_2 \vee x_1 x_2) \vee a(\bar{x}_1 x_2 \vee x_1 \bar{x}_2); \end{aligned} \quad (14)$$

$$f_{x_2}^\sigma = \bar{x}_2; \quad (15)$$

$$f_{x_2 \rightarrow x_1}^\sigma = \bar{a}(x_1 \vee \bar{x}_2) \vee x_1 \bar{x}_2; \quad (16)$$

$$f_{x_1}^\sigma = \bar{x}_1; \quad (17)$$

$$f_{x_1 \rightarrow x_2}^\sigma = \bar{a}(\bar{x}_1 \vee x_2) \vee \bar{x}_1 x_2; \quad (18)$$

$$f_{x_1 | x_2}^\sigma = \bar{a}(\bar{x}_1 \vee \bar{x}_2) \vee \bar{x}_1 \bar{x}_2; \quad (19)$$

$$f_1^\sigma = \bar{a}. \quad (20)$$

Представленные выражения (5) — (20) позволяют синтезировать любые самодвойственные структуры путем замены в них логических элементов на их самодвойственные аналоги и последующей оптимизации.

Отметим следующие особенности выражений (5) — (20):

- самодвойственные аналоги тождественных 0 и 1 получаются с использованием

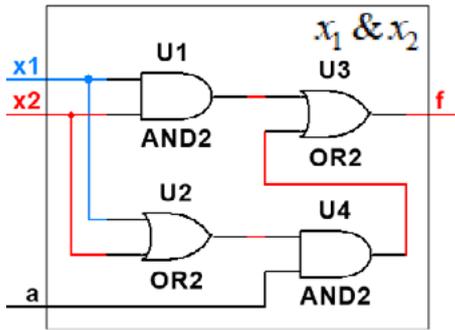
только альтернативного сигнала a (формулы 5 и 20);

- функции повтора и инверсии являются самодвойственными и не требуют использования преобразования и альтернативного сигнала a (формулы 8, 10, 15 и 17);
- самодвойственные аналоги функций $x_1 \oplus x_2$ и $x_1 \sim x_2$ получаются путем сложения по модулю 2 функции $x_1 \oplus x_2$ с сигналом a и \bar{a} соответственно;
- самодвойственные аналоги двойственных функций ($x_1 \& x_2$, $x_1 \vee x_2$), ($x_1 \mapsto x_2$, $x_2 \rightarrow x_1$), ($x_2 \mapsto x_1$, $x_1 \rightarrow x_2$), ($x_1 \oplus x_2$, $x_1 \sim x_2$), ($x_1 \downarrow x_2$, $x_1 | x_2$) получаются при замене в самодвойственной реализации первой функции переменной a на \bar{a} соответственно.

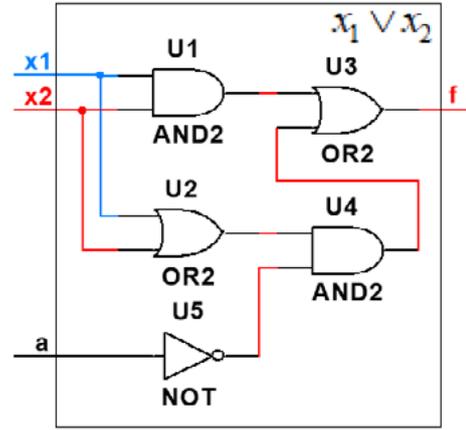
2. Моделирование самодвойственных функциональных элементов

Для моделирования работы самодвойственных функциональных элементов нами была выбрана среда Multisim [31]. В ней предварительно с использованием вышеприведенных формул были реализованы все десять пар самодвойственных аналогов функций. Самодвойственные функциональные элементы для пяти пар двойственных функций ($x_1 \& x_2$, $x_1 \vee x_2$), ($x_1 \mapsto x_2$, $x_2 \rightarrow x_1$), ($x_2 \mapsto x_1$, $x_1 \rightarrow x_2$), ($x_1 \oplus x_2$, $x_1 \sim x_2$), ($x_1 \downarrow x_2$, $x_1 | x_2$) приведены на рис. 1–5. Схемы спроектированы на стандартных функциональных элементах И (AND), ИЛИ (OR), НЕ (NOT) и «сложение по модулю 2» (XOR). Схемы отображены в стандарте ANSI¹. Каждый функциональный элемент для самодвойственного аналога булевой функции имеет две подписи: сверху подписан номер логического элемента в структуре U#, где # — номер элемента; снизу подписана реализуемая элементом операция, при этом число входов элемента указано в виде числа после самой операции

¹ ANSI (American National Standards Institute — Американский национальный институт стандартов) представляет собой объединение американских промышленных и деловых групп, разрабатывающих торговые и коммуникационные стандарты. Входит в организации ISO (International Organization for Standardization — Международная организация по стандартизации) и IEC (International Electrotechnical Commission — Международная электротехническая комиссия).

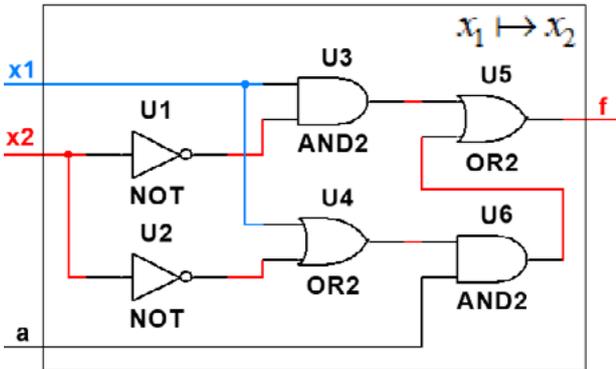


a

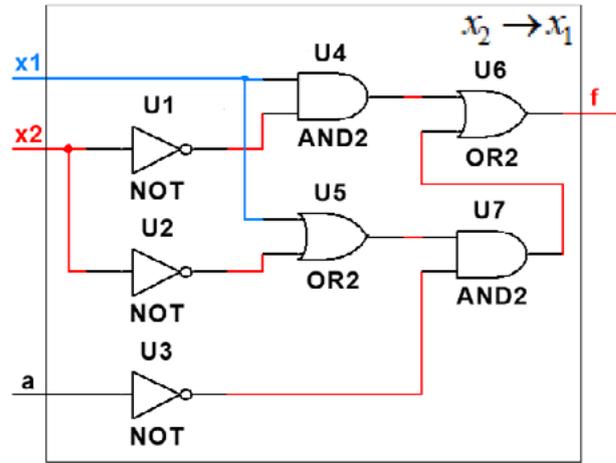


b

Рис. 1. Самодвойственные функциональные элементы, реализующие функции $x_1 \& x_2$ (a) и $x_1 \vee x_2$ (б)

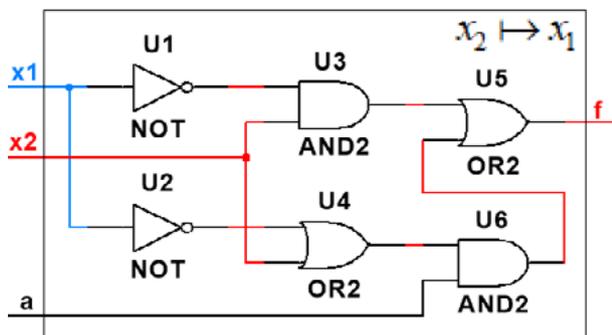


a

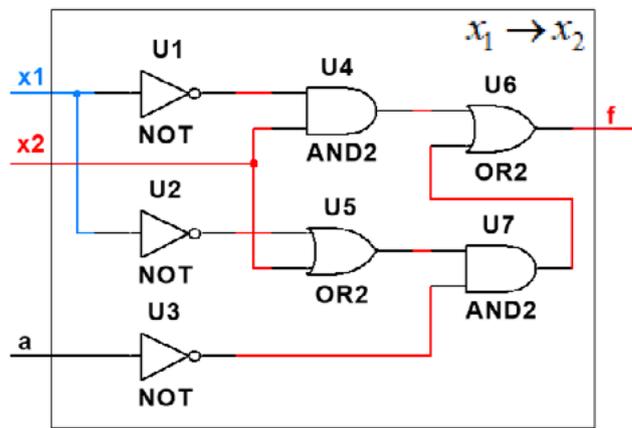


b

Рис. 2. Самодвойственные функциональные элементы, реализующие функции $x_1 \mapsto x_2$ (a) и $x_2 \rightarrow x_1$ (б)



a



b

Рис. 3. Самодвойственные функциональные элементы, реализующие функции $x_2 \mapsto x_1$ (a) и $x_1 \rightarrow x_2$ (б)

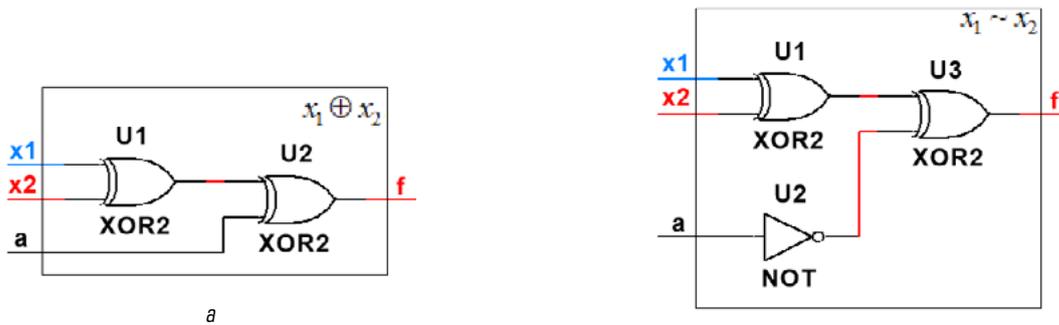


Рис. 4. Самодвойственные функциональные элементы, реализующие функции $x_1 \oplus x_2$ (a) и $x_1 \sim x_2$ (б)

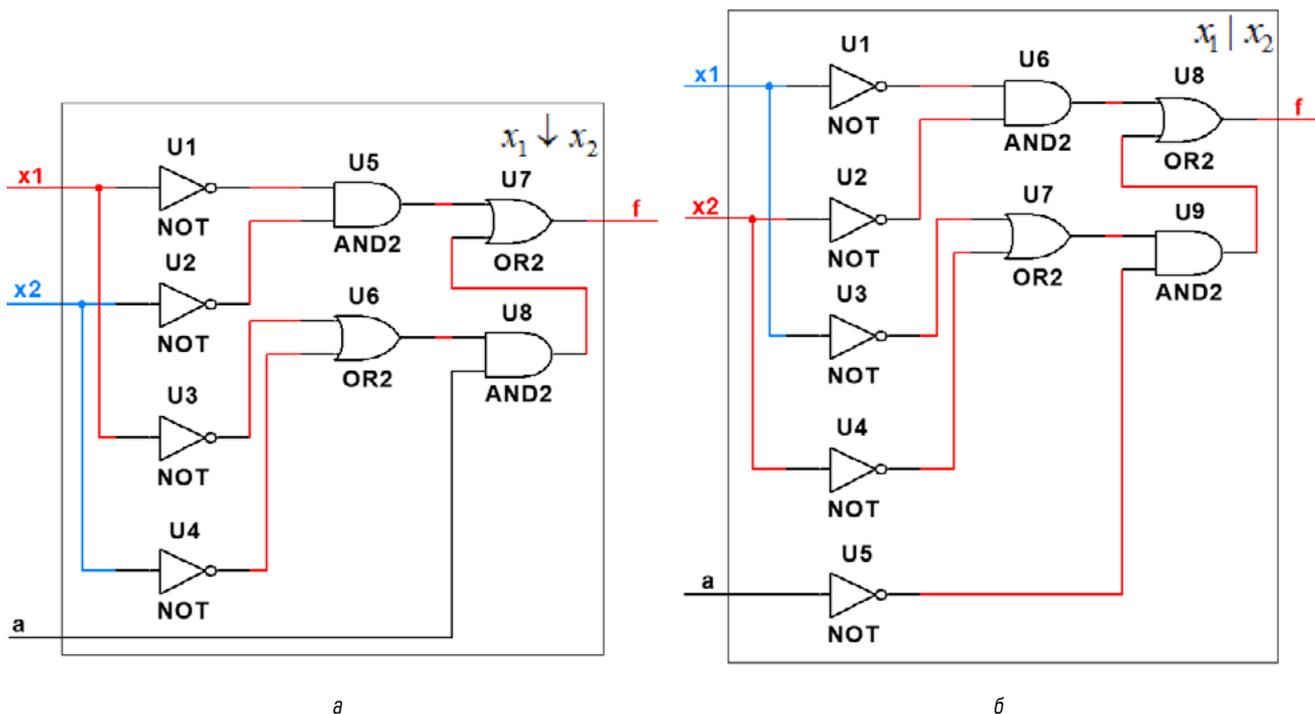


Рис. 5. Самодвойственные функциональные элементы, реализующие функции $x_1 \downarrow x_2$ (a) и $x_1 | x_2$ (б)

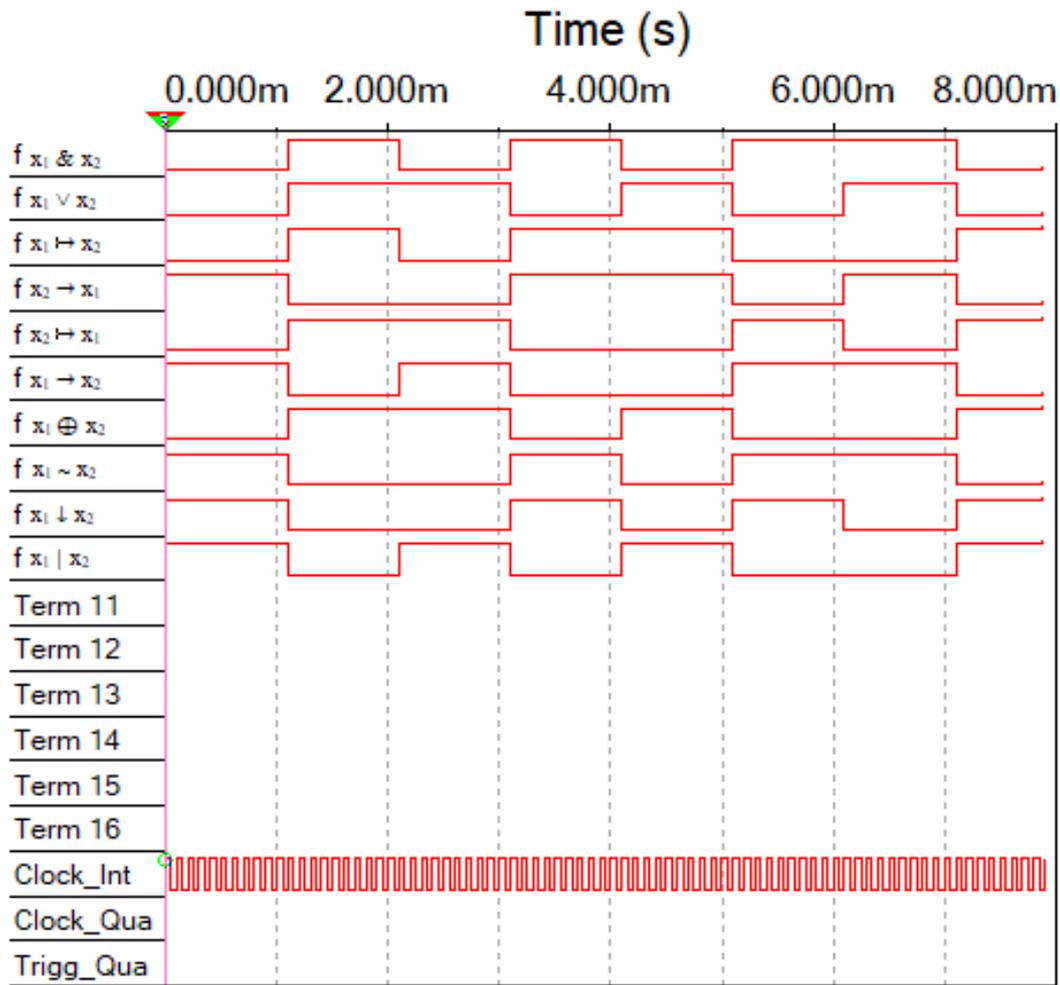
(для инверсии используется один вход и цифра не подписывается после операции).

Временные диаграммы работы самодвойственных функциональных элементов представлены на рис. 6, по которым можно проверить корректность схемных реализаций.

В ходе исследования также была поставлена задача оценки тестопригодности самодвойственных функциональных элементов. Оценивались обнаруживающие характеристики схемных решений с контролем по принадлежности вычисляемых функций классу самодвойственных булевых функций при воздействии одиночных константных неисправностей выходов внутренних логических элементов (stuck-at faults), за исключением

инверторов входного каскада (их неисправности не рассматривались).

Для контроля ошибок, возникающих на выходах самодвойственных функциональных элементов, устанавливался самодвойственный тестер SSC (self-dual self-checking checker), особенности функционирования которого описаны в [27, 30]. Данное устройство содержит два входа f^* и a и два выхода z^0 и z^1 . На вход f^* подается рабочий сигнал, который требуется контролировать. Вход a предназначен для подачи сигнала преобразования. Выходы z^0 и z^1 представляют собой контрольные выходы тестера, парафазный сигнал на которых свидетельствует о корректности работы контролируемого объекта при исправности самого


 Рис. 6. Диаграмма работы самодвойственных функциональных элементов²

тестера. Нарушение парафазности есть свидетельство того, что при исправности тестера присутствуют ошибки в работе контролируемого объекта. Сам SSC является самопроверяемым устройством.

В качестве примера на рис. 7 приведена схема контроля для эксперимента с самодвойственным функциональным элементом ИЛИ-НЕ. В ходе эксперимента моделировались все одиночные константные неисправности. Они вносились в схему путем обрыва линий и подключения на входы элементов последующих каскадов элементов с постоянным сигналом

нуля или единицы. На рис. 7, а представлена схема моделирования поведения схемы при внесении неисправности константа 1 на выходе элемента У6. Выход самодвойственного функционального элемента ИЛИ-НЕ подключен к функциональному входу SSC. На рис. 7, б и в даны временные диаграммы работы схемы в штатном режиме и при наличии обозначенной неисправности. Схемы функционируют в импульсном режиме при подаче на входы пар комбинаций: (000, 111), (001, 110), (010, 101), (011, 100). Фиксация неисправности происходит на первой подаваемой паре наборов (000, 111). Нарушение парафазности на второй комбинации свидетельствует о фиксации ошибки тестером самодвойственности.

В табл. 3 приводятся результаты тестирования всех самодвойственных функциональных элементов. Для каждого элемента в структуре самодвойственного функционального

² В окне диаграммы слева приведены все входы логического анализатора, на которые выводятся сигналы. Особенности его работы описаны в разнообразных учебных пособиях. Как пример — лабораторный практикум «Моделирование цифровых устройств в среде Multisim 7» (автор Бесперстов Э. А., издательство Балтийского государственного технического университета, СПб., 2018).

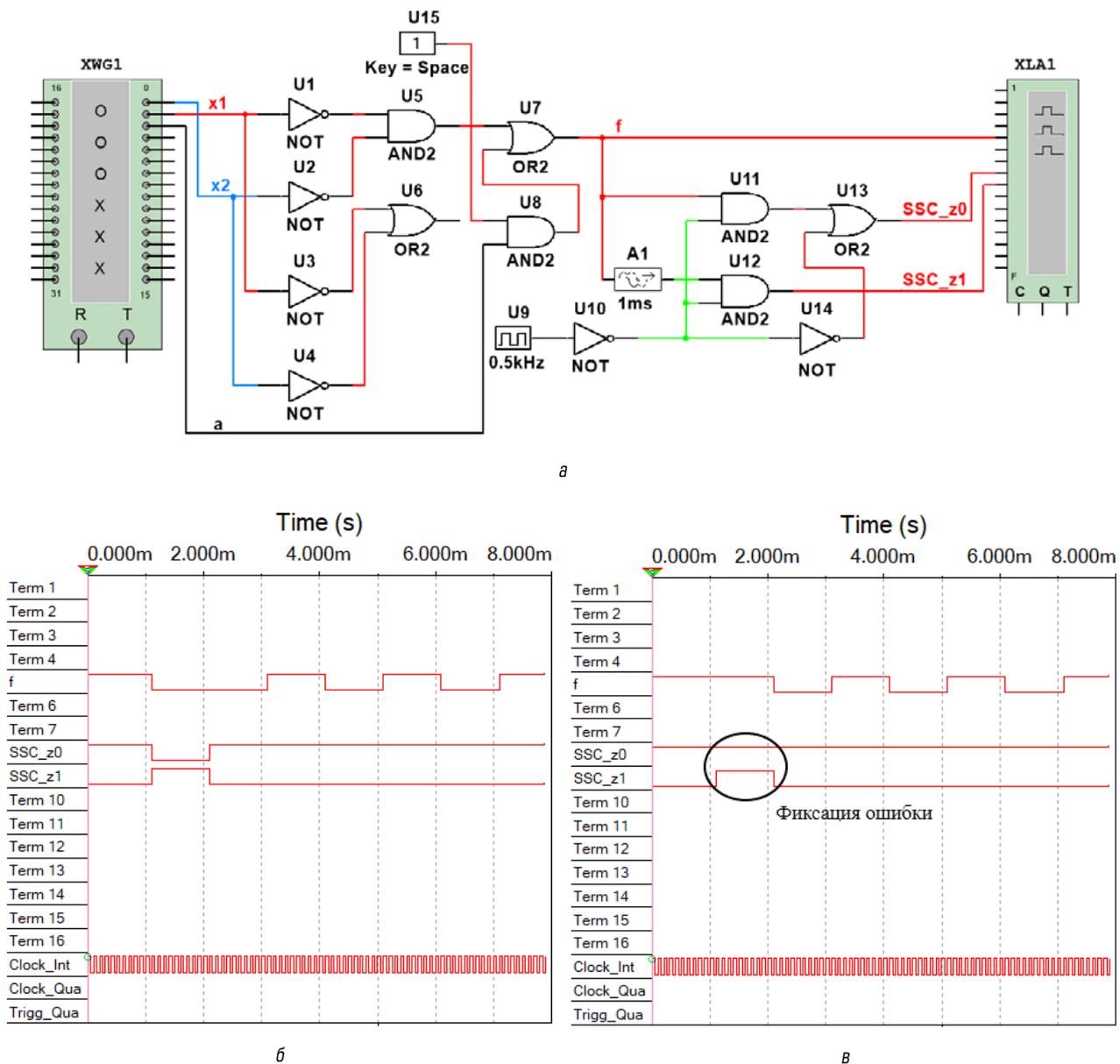


Рис. 7. Схема контроля вычислений на выходе самодвойственного функционального элемента ИЛИ-НЕ: схема эксперимента (а), временная диаграмма работы в штатном режиме (б), временная диаграмма работы с неисправностью (б)³

элемента цветом выделены те пары входных комбинаций, на которых соответствующая неисправность тестируется и фиксируется с помощью SSC.

Анализ табл. 3 показывает, что:

- для каждого самодвойственного функционального элемента существует логический элемент во внутренней структуре, неисправности которого тестируются на любой паре входных комбинаций;

- для каждого самодвойственного функционального элемента ровно половина неисправностей элементов во внутренней структуре тестируется на любой паре входных комбинаций;
- для всех самодвойственных функциональных элементов, кроме аналогов элементов, реализующих функции $x_1 \oplus x_2$ и $x_1 \sim x_2$, имеется по две неисправности, тестируемых только на одной паре входных комбинаций, и по две неисправности, тестируемых на двух парах входных комбинаций;

³ Символами XWG1 и XLA1 на схеме обозначены генератор слов и логический анализатор.

Таблица 3. Результаты тестирования самодвойственных функциональных элементов

Элемент	Вид неисправности	Входные комбинации							
		000	111	001	110	010	101	011	100
$x_1 \& x_2$									
U1	константа 0	0	1	0	1	0	1	0(1→0)	0
	константа 1	1(0→1)	1	1(0→1)	1	1(0→1)	1	1	1(0→1)
U2	константа 0	0	1	0	0(1→0)	0	0(1→0)	1	0
	константа 1	0	1	0	1	0	1	1	1(0→1)
U3	константа 0	0	0(1→0)	0	0(1→0)	0	0(1→0)	0(1→0)	0
	константа 1	1(0→1)	1	1(0→1)	1	1(0→1)	1	1	1(0→1)
U4	константа 0	0	1	0	0(1→0)	0	0(1→0)	1	0
	константа 1	1(0→1)	1	1(0→1)	1	1(0→1)	1	1	1(0→1)
$x_1 \vee x_2$									
U1	константа 0	0	0(1→0)	1	0	1	0	1	0
	константа 1	1(0→1)	1	1	1(0→1)	1	1(0→1)	1	1(0→1)
U2	константа 0	0	1	0(1→0)	0	0(1→0)	0	1	0
	константа 1	1(0→1)	1	1	0	1	0	1	0
U3	константа 0	0	0(1→0)	0(1→0)	0	0(1→0)	0	0(1→0)	0
	константа 1	1(0→1)	1	1	1(0→1)	1	1(0→1)	1	1(0→1)
U4	константа 0	0	1	0(1→0)	0	0(1→0)	0	1	0
	константа 1	1(0→1)	1	1	1(0→1)	1	1(0→1)	1	1(0→1)
$x_1 \mapsto x_2$									
U3	константа 0	0	1	0(1→0)	0	0	1	0	1
	константа 1	1(0→1)	1	1	1(0→1)	1(0→1)	1	1(0→1)	1
U4	константа 0	0	0(1→0)	1	0	0	1	0	0(1→0)
	константа 1	0	1	1	1(0→1)	0	1	0	1
U5	константа 0	0	0(1→0)	0(1→0)	0	0	0(1→0)	0	0(1→0)
	константа 1	1(0→1)	1	1	1(0→1)	1(0→1)	1	1(0→1)	1
U6	константа 0	0	0(1→0)	1	0	0	1	0	0(1→0)
	константа 1	1(0→1)	1	1	1(0→1)	1(0→1)	1	1(0→1)	1
$x_2 \rightarrow x_1$									
U4	константа 0	1	0	1	0	0	0(1→0)	1	0
	константа 1	1	1(0→1)	1	1(0→1)	1(0→1)	1	1	1(0→1)
U5	константа 0	0(1→0)	0	1	0	0	1	0(1→0)	0
	константа 1	1	0	1	0	1(0→1)	1	1	0
U6	константа 0	0(1→0)	0	0(1→0)	0	0	0(1→0)	0(1→0)	0
	константа 1	1	1(0→1)	1	1(0→1)	1(0→1)	1	1	1(0→1)
U7	константа 0	0(1→0)	0	1	0	0	1	0(1→0)	0
	константа 1	1	1(0→1)	1	1(0→1)	1(0→1)	1	1	1(0→1)
$x_2 \mapsto x_1$									
U3	константа 0	0	1	0	1	0(1→0)	0	0	1
	константа 1	1(0→1)	1	1(0→1)	1	1	1(0→1)	1(0→1)	1
U4	константа 0	0	0(1→0)	0	1	1	0	0	0(1→0)
	константа 1	0	1	0	1	1	1(0→1)	0	1
U5	константа 0	0	0(1→0)	0	0(1→0)	0(1→0)	0	0	0(1→0)
	константа 1	1(0→1)	1	1(0→1)	1	1	1(0→1)	1(0→1)	1
U6	константа 0	0	0(1→0)	0	1	1	0	0	0(1→0)
	константа 1	1(0→1)	1	1(0→1)	1	1	1(0→1)	1(0→1)	1

Элемент	Вид неисправности	Входные комбинации							
		000	111	001	110	010	101	011	100
$x_1 \rightarrow x_2$									
U4	константа 0	1	0	0	0(1→0)	1	0	1	0
	константа 1	1	1(0→1)	1(0→1)	1	1	1(0→1)	1	1(0→1)
U5	константа 0	0(1→0)	0	0	1	1	0	0(1→0)	0
	константа 1	1	0	1(0→1)	1	1	0	1	0
U6	константа 0	0(1→0)	0	0	0(1→0)	0(1→0)	0	0(1→0)	0
	константа 1	1	1(0→1)	1(0→1)	1	1	1(0→1)	1	1(0→1)
U7	константа 0	0(1→0)	0	0	1	1	0	0(1→0)	0
	константа 1	1	1(0→1)	1(0→1)	1	1	1(0→1)	1	1(0→1)
$x_1 \oplus x_2$									
U1	константа 0	0	1	0(1→0)	1(0→1)	0(1→0)	1(0→1)	0	1
	константа 1	1(0→1)	0(1→0)	1	0	1	0	1(0→1)	0(1→0)
U2	константа 0	0	0(1→0)	0(1→0)	0	0(1→0)	0	0	0(1→0)
	константа 1	1(0→1)	1	1	1(0→1)	1	1(0→1)	1(0→1)	1
$x_1 \sim x_2$									
U1	константа 0	1	0	1(0→1)	0(1→0)	1(0→1)	0(1→0)	1	0
	константа 1	0(1→0)	1(0→1)	0	1	0	1	0(1→0)	1(0→1)
U3	константа 0	0(1→0)	0	0	0(1→0)	0	0(1→0)	0(1→0)	0
	константа 1	1	1(0→1)	1(0→1)	1	1(0→1)	1	1	1(0→1)
$x_1 \downarrow x_2$									
U5	константа 0	0(1→0)	0	0	1	0	1	0	1
	константа 1	1	1(0→1)	1(0→1)	1	1(0→1)	1	1(0→1)	1
U6	константа 0	1	0	0	0(1→0)	0	0(1→0)	0	1
	константа 1	1	1(0→1)	0	1	0	1	0	1
U7	константа 0	0(1→0)	0	0	0(1→0)	0	0(1→0)	0	0(1→0)
	константа 1	1	1(0→1)	1(0→1)	1	1(0→1)	1	1(0→1)	1
U8	константа 0	1	0	0	0(1→0)	0	0(1→0)	0	1
	константа 1	1	1(0→1)	1(0→1)	1	1(0→1)	1	1(0→1)	1
$x_1 x_2$									
U6	константа 0	1	0	1	0	1	0	0	0(1→0)
	константа 1	1	1(0→1)	1	1(0→1)	1	1(0→1)	1(0→1)	1
U7	константа 0	1	0	0(1→0)	0	0(1→0)	0	0	1
	константа 1	1	0	1	0	1	0	1(0→1)	1
U8	константа 0	0(1→0)	0	0(1→0)	0	0(1→0)	0	0	0(1→0)
	константа 1	1	1(0→1)	1	1(0→1)	1	1(0→1)	1(0→1)	1
U9	константа 0	1	0	0(1→0)	0	0(1→0)	0	0	1
	константа 1	1	1(0→1)	1	1(0→1)	1	1(0→1)	1(0→1)	1

— неисправности элементов U1 в самодвойственных аналогах элементов, реализующих функции $x_1 \oplus x_2$ и $x_1 \sim x_2$, не тестируются при самодвойственном контроле ни на одной паре входных комбинаций.

Таким образом, все самодвойственные функциональные элементы, кроме элементов,

реализующих функции $x_1 \oplus x_2$ и $x_1 \sim x_2$, являются полностью самопроверяемыми относительно одиночных константных неисправностей при контроле вычислений на основе принадлежности формируемых функций классу самодвойственных булевых функций. Элементы же, реализующие функции $x_1 \oplus x_2$ и

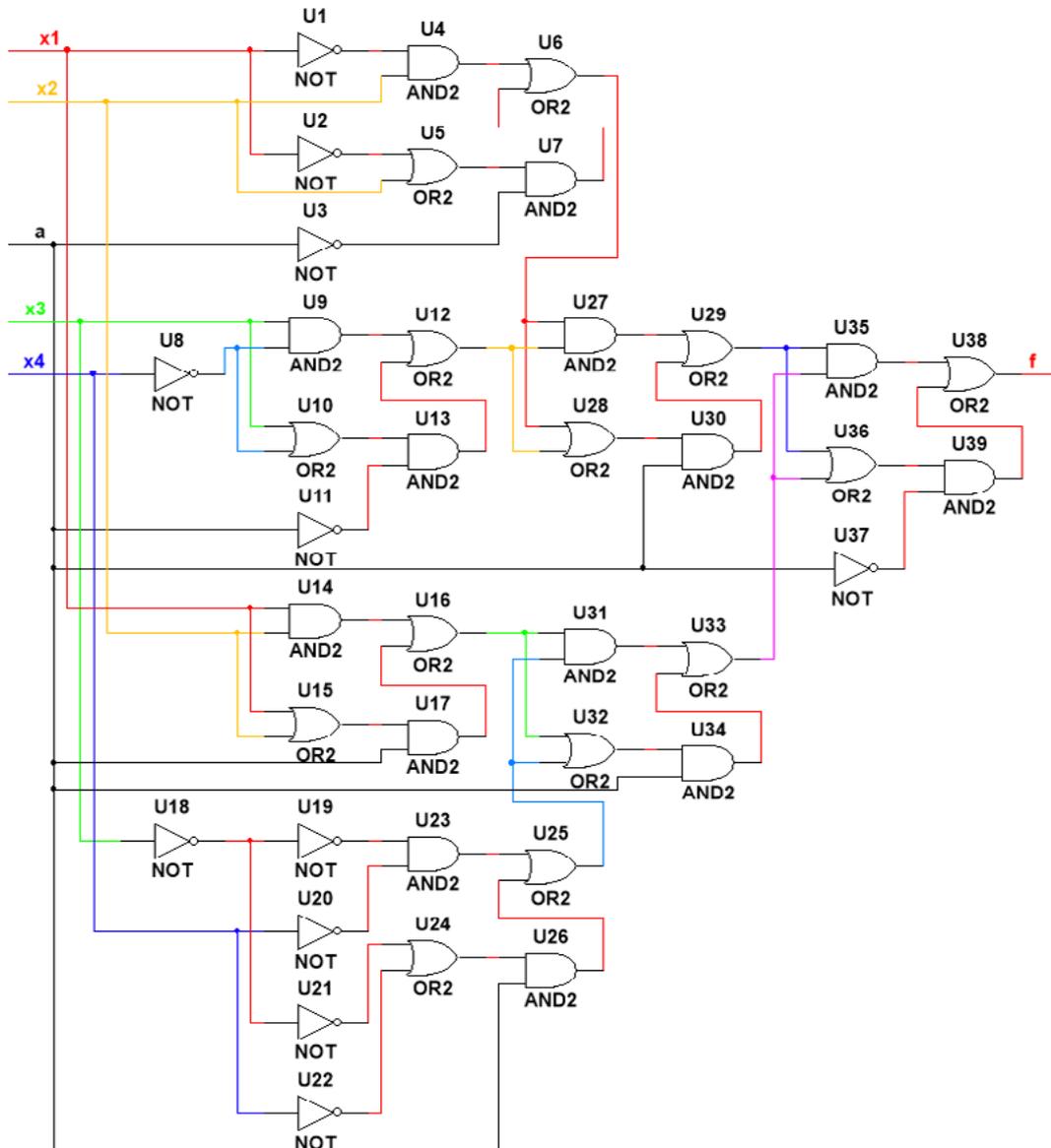


Рис. 8. Самодвойственная схема, полученная по алгоритму 1

$x_1 \sim x_2$, требуется дополнительно контролировать. Для них маскировка ошибки происходит из-за одновременного искажения сигналов на обеих комбинациях в паре. Для констант 0 элемента U1 это пары (001, 110) и (010, 101); для констант 1 элемента U1 это пары (000, 111) и (011, 100). Данную особенность упомянутых самодвойственных функциональных элементов следует учитывать при разработке контролепригодных самопроверяемых цифровых вычислительных устройств и систем. И осуществлять дополнительный контроль вычислений на элементе U1, например, путем сравнения эталонных значений и вычисленных по методу дублирования [32, 33].

3. Алгоритмы синтеза самодвойственных логических схем

Рассмотрим алгоритмы синтеза самодвойственных логических схем на примере. Дана булева функция:

$$f = (x_1 \rightarrow x_2)(x_3 \vee \bar{x}_4) \vee x_1 x_2 (\bar{x}_3 \downarrow x_4).$$

Требуется синтезировать самодвойственную схему, реализующую функцию f — самодвойственный аналог f^σ .

Это можно сделать несколькими способами.

Алгоритм 1. Последовательность синтеза самодвойственной схемы с использованием самодвойственных функциональных элементов:

Таблица 4. Таблица истинности для получения самодвойственной функции по примеру

a	x_1	x_2	x_3	x_4	$x_1 \rightarrow x_2$	$x_3 \vee \bar{x}_4$	$(x_1 \rightarrow x_2)(x_3 \vee \bar{x}_4)$	$\bar{x}_3 \downarrow x_4$	$x_1 x_2 (\bar{x}_3 \downarrow x_4)$	f^σ
0	0	0	0	0	1	1	1	0	0	1
0	0	0	0	1	1	0	0	0	0	0
0	0	0	1	0	1	1	1	1	0	1
0	0	0	1	1	1	1	1	0	0	1
0	0	1	0	0	1	1	1	0	0	1
0	0	1	0	1	1	0	0	0	0	0
0	0	1	1	0	1	1	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	0	1	0	0	0	0
0	1	0	0	1	0	0	0	0	0	0
0	1	0	1	0	0	1	0	1	0	0
0	1	0	1	1	0	1	0	0	0	0
0	1	1	0	0	1	1	1	0	0	1
0	1	1	0	1	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	0	0	1
1	0	0	0	0						0
1	0	0	0	1						0
1	0	0	1	0						1
1	0	0	1	1						0
1	0	1	0	0						1
1	0	1	0	1						1
1	0	1	1	0						1
1	0	1	1	1						1
1	1	0	0	0						0
1	1	0	0	1						0
1	1	0	1	0						1
1	1	0	1	1						0
1	1	1	0	0						0
1	1	1	0	1						0
1	1	1	1	0						1
1	1	1	1	1						0

1. Реализуется схема с использованием традиционных функциональных элементов, приведенных на рис. 1–5.
2. Производится замена традиционных функциональных элементов на самодвойственные.

На рис. 8 изображена самодвойственная схема в Multisim.

Алгоритм 2. Последовательность синтеза самодвойственной схемы с использованием таблиц истинности:

1. По заданной формуле составляется таблица истинности.
2. В таблицу истинности добавляется старший разряд, соответствующий переменной a .

3. Доопределяется вторая половина таблицы истинности с учетом условия (2) путем антисимметричного заполнения ее относительно середины.
4. Полученная функция оптимизируется в выбранном базисе.
5. Схема синтезируется по полученной формуле.

В табл. 4 представлены шаги получения функции f^σ .

Оптимизация в основном базисе по карте Карно дает следующий результат:

$$f^\sigma = \bar{a} \bar{x}_1 \bar{x}_4 \vee \bar{a} \bar{x}_1 x_3 \vee \bar{a} x_2 \bar{x}_4 \vee \bar{a} x_2 x_3 \vee \bar{a} x_1 x_2 \vee a x_3 \bar{x}_4.$$

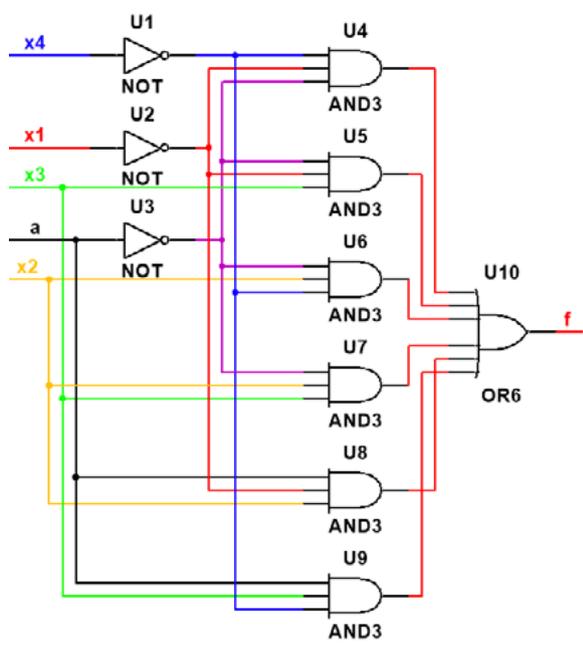


Рис. 9. Самодвойственная схема, полученная по алгоритму 2

На рис. 9 изображена самодвойственная схема в Multisim, полученная по оптимизированной функции.

Модификацией алгоритма 2 можно считать следующий алгоритм.

Алгоритм 3. Последовательность синтеза самодвойственной схемы с таблиц истинности и формулы Шеннона:

1. Выполняются шаги 1–3 алгоритма 2.

2. Функция f оптимизируется в выбранном базисе.
3. Полученная функция g оптимизируется в выбранном базисе.
4. Схема синтезируется по формуле (3): $f^\sigma = \bar{a}f \vee ag$.

Следуя за шагами алгоритма 3 и используя полученный выше результат, перепишем функцию f^σ в виде:

$$\begin{aligned} f^\sigma &= \bar{a}f \vee ag = \\ &= \bar{a}(\bar{x}_1 \bar{x}_4 \vee \bar{x}_1 x_3 \vee x_2 \bar{x}_4 \vee x_2 x_3) \vee a(\bar{x}_1 x_2 \vee x_3 \bar{x}_4) = \\ &= \bar{a}(\bar{x}_1 (\bar{x}_4 \vee x_3) \vee x_2 (\bar{x}_4 \vee x_3)) \vee a(\bar{x}_1 x_2 \vee x_3 \bar{x}_4). \end{aligned}$$

Самодвойственная схема приведена на рис. 10. Для булевых функций с большим числом переменных построение таблиц истинности становится трудоемким. Может быть использован следующий алгоритм.

Алгоритм 4. Последовательность синтеза самодвойственной схемы с использованием предварительного преобразования:

1. Формула записывается в основном базисе.
2. Получается двойственная функция g к функции f по формуле: $g = f(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_i)$.
3. Схема реализуется по формуле (3): $f^\sigma = \bar{a}f \vee ag$.

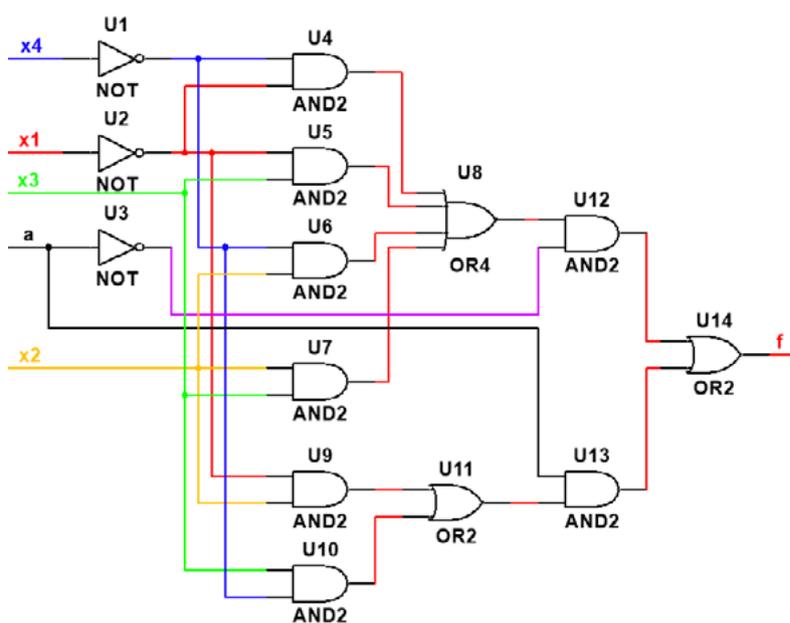


Рис. 10. Самодвойственная схема, полученная по алгоритму 3

Преобразуем исходную функцию с использованием элементарных функций в основном базисе:

$$\begin{aligned} f &= (x_1 \rightarrow x_2)(x_3 \vee \bar{x}_4) \vee x_1 x_2 (\bar{x}_3 \downarrow x_4) = \\ &= (\bar{x}_1 \vee x_2)(x_3 \vee \bar{x}_4) \vee x_1 x_2 (\overline{\bar{x}_3 \vee x_4}). \end{aligned}$$

Определим функцию g , двойственную к f :

$$\begin{aligned} g &= \overline{(x_1 \vee x_2)(x_3 \vee \bar{x}_4) \vee x_1 x_2 \overline{\bar{x}_3 \vee x_4}} = \\ &= \overline{(x_1 x_2 \vee x_3 \bar{x}_4)(x_1 \vee x_2 \vee x_3 \vee \bar{x}_4)} = \\ &= \bar{x}_1 \bar{x}_2 \vee x_3 \bar{x}_4. \end{aligned}$$

Самодвойственная схема, полученная по данному алгоритму, аналогична схеме, представленной на рис. 10.

Заключение

В представленной работе рассмотрены все самодвойственные функциональные элементы, являющиеся аналогами элементов, реализующих простейшие несамодвойственные функции от двух переменных. Таких элементов 10. Они сгруппированы по парам элементов, реализующих двойственные булевы функции. В ходе моделирования одиночных константных неисправностей на выходах элементов внутренней структуры каждого самодвойственного функционального элемента установлено, что все элементы, кроме тех, которые реализуют функции $x_1 \oplus x_2$ и $x_1 \sim x_2$, являются полностью самопроверяемыми при контроле вычислений на основе принадлежности формируемых функций классу самодвойственных булевых функций. Неисправности одного из двух элементов *XOR* в структурах самодвойственных функциональных элементов, которые реализуют функции $x_1 \oplus x_2$ и $x_1 \sim x_2$, не тестируются при самодвойственном контроле. Для тестирования неисправностей требуется дополнительный контроль вычислений на данном элементе. Для остальных же элементов имеется достаточно высокое покрытие неисправностей тестовыми комбинациями: 50 % неисправностей тестируются на любой паре входных комбинаций, по 25 % неисправностей

тестируются на двух парах из четырех и еще 25 % неисправностей тестируются только на одной паре входных комбинаций.

Приведенные в статье самодвойственные аналоги элементарных булевых функций могут быть использованы при синтезе самодвойственных цифровых устройств с обнаружением неисправностей.

Библиографический список

1. Стемпковский А. Л. Методы проектирования помехозащищенных комбинационных КМОП-схем, обеспечивающие автоматическое исправление ошибок / А. Л. Стемпковский, С. В. Гаврилов, С. И. Гуров и др. // Информационные технологии. — 2017. — Т. 23. — № 10. — С. 728–735.
2. Бестемьянов П. Ф. Методы обеспечения безопасности аппаратных средств микропроцессорных систем управления движением поездов / П. Ф. Бестемьянов // Электротехника. — 2020. — № 9. — С. 2–8.
3. Тельпухов Д. В. Алгоритм логического синтеза сбоеустойчивых схем в технологической базе / Д. В. Тельпухов, В. В. Надоленко // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). — 2021. — № 4. — С. 52–58. — DOI: 10.31114/2078-7707-2021-4-52-58.
4. Lala P.K. An Introduction to Logic Circuit Testing / P.K. Lala. — Morgan & Claypool, Texas A&M University-Texarkana, 2009. — 99 p. — DOI: 10.2200/S00149ED1V01Y200808DCS017.
5. Дрозд А. В. Рабочее диагностирование безопасных информационно-управляющих систем / А. В. Дрозд, В. С. Харченко, С. Г. Антошук и др.; под ред. А. В. Дрозда и В. С. Харченко. — Харьков: Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», 2012. — 614 с.
6. Dubrova E. Fault-Tolerant Design / E. Dubrova. — Springer Science + Business Media New York 2013, 2013, XV + 185 p. — doi: 10.1007/978-1-4614-2113-9.
7. Ярмолик В. Н. Контроль и диагностика вычислительных систем / В. Н. Ярмолик. — Минск: Бестпринт, 2019. — 387 с.
8. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомоян, Е. В. Слабаков. — М.: Радио и связь, 1989. — 208 с.
9. Сапожников В. В. Основы теории надежности и технической диагностики / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. — СПб.: Лань, 2019. — 588 с.
10. Lala P. K. Self-Checking and Fault-Tolerant Digital Design / P. K. Lala. — San Francisco: Morgan Kaufmann Publishers, 2001. — 216 p.
11. Göessel M. New Methods of Concurrent Checking: Edition 1 / M. Göessel, V. Ocheretny, E. Sogomonyan et al. —

- Dordrecht: Springer Science + Business Media B. V., 2008. — 184 p.
12. Reynolds D. Optimal NOR Networks for Self-Dual Functions of Four Variables / D. Reynolds, G. Metzger. — Technical Report, Illinois University, Urbana-Champaign, Coordinated Science Lab., May 1976, 19 p.
 13. Reynolds D. A. The Design of Alternating Logic Systems with Fault Detection Capabilities / D. A. Reynolds. — M. S. Thesis Illinois University, Urbana-Champaign, Coordinated Science Lab., August 1976.
 14. Reynolds D. A. Fault Detection Capabilities of Alternating Logic / D. A. Reynolds, G. Meize // IEEE Transactions on Computers. — 1978. — Vol. C-27. — Iss. 12. — Pp. 1093–1098. — DOI: 10.1109/TC.1978.1675011.
 15. Biernat J. Self-Dual Modules in Design of Dependable Digital Devices / J. Biernat // International Conference on Dependability of Computer Systems, 25–27 May 2006, Szklarska Poreba, Poland. — doi: 10.1109/DEPCOS-RELCOMEX.2006.50.
 16. Rai S. DiSCERN: Distilling Standard-Cells for Emerging Reconfigurable Nanotechnologies / S. Rai, M. Raitza, S. S. Sahoo et al. // Design, Automation & Test in Europe Conference & Exhibition (DATE), 09–13 March 2020, Grenoble, France. — doi: 10.23919/DATE48585.2020.9116216.
 17. Аксенова Г. П. Восстановление в дублированных устройствах методом инвертирования данных / Г. П. Аксенова // Автоматика и телемеханика. — 1987. — № 10. — С. 144–153.
 18. Saposhnikov V. V. Self-Dual Parity Checking — a New Method for on Line Testing / V. V. Saposhnikov, A. Dmitriev, M. Goessel et al. // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996. — Pp. 162–168.
 19. Гессель М. Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах / М. Гессель, А. В. Дмитриев, В. В. Сапожников и др. // Автоматика и телемеханика. — 1999. — № 11. — С. 162–174.
 20. Saposhnikov V. V. Experimental Results for Self-Dual Multi-Output Combinational Circuits / V. V. Saposhnikov, V. Moshanin, V. V. Saposhnikov et al. // Journal of Electronic Testing: Theory and Applications. — 1999. — Vol. 14. — Iss. 3. — Pp. 295–300. — DOI: 10.1023/A:1008370405607.
 21. Гессель М. Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля / М. Гессель, А. В. Дмитриев, В. В. Сапожников и др. // Автоматика и телемеханика. — 2000. — № 7. — С. 140–149.
 22. Сапожников В. В. О синтезе самодвойственных логических схем с памятью / В. В. Сапожников, Вл. В. Сапожников, Р. Ш. Валиев // Электронное моделирование. — 2004. — Т. 26. — № 2. — С. 39–56.
 23. Сапожников В. В. Самодвойственные дискретные устройства / В. В. Сапожников, Вл. В. Сапожников, М. Гессель. — СПб.: Энергоатомиздат (Санкт-Петербургское отделение), 2001. — 331 с.
 24. Сапожников В. В. Синтез самодвойственных дискретных систем / В. В. Сапожников, Вл. В. Сапожников, Р. Ш. Валиев. — СПб.: Элмор, 2006. — 220 с.
 25. Ефанов Д. В. Обнаружение неисправностей в комбинационных схемах на основе самодвойственного дополнения до равновесных кодов / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников и др. // Труды Института системного программирования РАН. — 2019. — Т. 31. — № 1. — С. 115–132. — DOI: 10.15514/ISPRAS-2019-31(1)-8.
 26. Efanov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems / D. Efanov, V. Sapozhnikov, V. Sapozhnikov et al. // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13–16, 2019, pp. 136–143. — doi: 10.1109/EWDTS.2019.8884398.
 27. Ефанов Д. В. Самодвойственный контроль комбинационных схем с применением кодов Хэмминга / Д. В. Ефанов, Т. С. Погодина // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). — 2022. — № 3. — С. 113–122. — DOI: 10.31114/2078-7707-2022-3-113-122.
 28. Efanov D. V. Self-Dual Digital Devices with Calculations Testing by Modified Hamming Code / D. V. Efanov, T. S. Pogodina // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus), 24–27 January 2023, St. Petersburg, Russia. — Pp. 72–77.
 29. Ефанов Д. В. Построение самопроверяемых цифровых устройств на основе модифицированных кодов Хэмминга с контролем самодвойственности вычисляемых функций / Д. В. Ефанов, Т. С. Погодина // Автоматика на транспорте. — 2023. — Т. 9. — № 1. — С. 99–123. — DOI: 10.20295/2412-9186-2023-9-01-99-123.
 30. Ефанов Д. В. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга / Д. В. Ефанов, Т. С. Погодина // Информатика и автоматизация. — 2023. — Т. 22. — № 2. — С. 349–392. — DOI: 10.15622/ia.22.2.5.
 31. Chen Y. The Circuit Design of Voltage-controlled Color Changing Lamp Based on Multisim / Y. Chen, M. Zhang, J. Hao // 2020 IEEE International Conference on Power, Intelligent Computing and Systems (ICPICS), 28–30 July 2020, Shenyang, China. — doi: 10.1109/ICPICS50287.2020.9202148.
 32. Пархоменко П. П. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства) / П. П. Пархоменко, Е. С. Согомоян. — М.: Энергоатомиздат, 1981. — 320 с.
 33. Микони С. В. Общие диагностические базы знаний вычислительных систем / С. В. Микони. — СПб.: Санкт-Петербургский институт информатики и автоматизации, 1992. — 234 с.

TRANSPORT AUTOMATION RESEARCH, 2023, Vol. 9, No. 2, pp. 205–221
DOI: 10.20295/2412-9186-2023-9-02-205-221

Self-Dual Functional Gates for the Synthesis of Controllable Digital Systems

Information about authors

Efanov D. V., Doctor in Engineering, Professor, IEEE Member, Full-member of International Transport Academy, General Director Deputy on Scientific Research Work¹, Professor^{2,3,4}.

E-mail: TrES-4b@yandex.ru

Pogodina T. S., Student³. E-mail: pogodina-ts@mail.ru

¹Scientific Research and Design Institute “Transport and Construction Safety” LLC, Saint Petersburg

²Peter the Great Saint Petersburg Polytechnic University, Higher School of Transport, Mechanical Engineering, Material and Transport Institute, Saint Petersburg

³Russian Transport University (MIIT), Department of Automation, Remote Control and Communication on Railway Transport, Moscow

⁴Tashkent State Transport University, Department of Automation and Remote Control, Tashkent

Abstract: All self-dual analogs of elementary functional gates have been considered, the use of which allows for the synthesis of self-dual circuit implementations of arbitrary Boolean functions. In this case, two synthesis methods can be used, each one based on the property of any Boolean function to be transformed into a self-dual function using one additional variable. The first method involves replacing all non-self-dual functional gates in the device structure with self-dual analogs. The second one involves obtaining a self-dual function from the original formula. The study conducted modeling of self-dual functional gates in pulse mode of operation. It has been shown that all self-dual functional gates, except for those implementing equivalence and nonequivalence functions (modulo-2 addition), are fully self-checkable with respect to stuck-at faults when checking computations based on the belonging of the generated functions to the class of self-dual Boolean functions. However, the gates that implement the mentioned functions require additional monitoring. For them, error masking occurs due to the simultaneous distortion of signals on both combinations in a pair. This feature of these self-dual functional gates should be taken into account when developing controllable self-checking digital computing devices and systems. The article provides an example of using methods for constructing self-dual circuit implementations. The obtained results can be used in the synthesis of controllable self-dual computing devices and systems.

Keywords: self-dual Boolean function, calculation checking, controllable device, self-duality testing, self-checking circuit

References

1. Stempkovskii A. L., Gavrilov S. V., Gurov S. I. et al. Metody proektirovaniya pomekhozashchishchennykh kombinatsionnykh KMOP-skhem, obespechivayushchie avtomaticheskoe ispravlenie oshibok [Methods of designing noise-immune combinational CMOS circuits ensuring automatic error correction]. *Informatsionnye tekhnologii* [Information Technologies]. 2017, vol. 23, Iss. 10, pp. 728–735. (In Russian)
2. Bestemyanov P. F. Metody obespecheniya bezopasnosti apparatnykh sredstv mikropro-tsessornykh sistem upravleniya dvizheniem poezdov [Methods for ensuring the safety of hardware of microprocessor-based systems for train management]. *Elektrotekhnika* [Electrical Engineering]. 2020, Iss. 9, pp. 2–8. (In Russian)
3. Telpukhov D. V., Nadolenko V. V. Algoritm logicheskogo sinteza sbouestoichivnykh skhem v tekhnologicheskoy bazise [Algorithm of Logical Synthesis of Fault-Tolerant Circuits in a Technological Basis]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of developing advanced micro- and nanoelectronic systems]. 2021, Iss. 4, pp. 52–58. DOI: 10.31114/2078-7707-2021-4-52-58. (In Russian)
4. Lala P. K. An Introduction to Logic Circuit Testing. Morgan & Claypool, 2009. DOI: 10.2200/S00149ED1V01Y200808DCS017.
5. Drozd A. V., Kharchenko V. S., Antoshchuk S. G. et al. *Rabocheye diagnostirovaniye bezopasnykh informatsionno-upravlyayushchikh sistem* [Working diagnostics of safe information management systems]. Natsional'nyy aerokosmicheskiy universitet im. N. E. Zhukovskogo “Khai”, 2012, 614 p. (In Russian)
6. Dubrova E. Fault-Tolerant Design. Springer Science + Business Media New York 2013, 2013, XV + 185 p. DOI: 10.1007/978-1-4614-2113-9.
7. Yarmolik V. N. *Kontrol' i diagnostika vychislitel'nykh sistem* [Control and diagnostics of computing systems]. Bestprint, 2019. (In Russian)
8. Sogomonyan E. S., Slabakov E. V. *Samoproveryaemye ustroystva i otkazoystoychivyye sistemy* [Self-checking devices and fault-tolerant systems]. Moscow: Radio i svyaz' Publ., 1989. (In Russian)
9. Sapozhnikov V. V., Sapozhnikov V. I., Efanov D. V. *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* [Fundamentals of reliability theory and technical diagnostics]. Saint Petersburg: Lan' Publ., 2019. (In Russian)
10. Lala P. K. Self-Checking and Fault-Tolerant Digital Design. Morgan Kaufmann Publishers, 2001.
11. Göessel M., Ocheretny V., Sogomonyan E. et al. New Methods of Concurrent Checking: Edition 1. Springer Science + Business Media B. V., 2008.
12. Reynolds D., Metz G. Optimal NOR Networks for Self-Dual Functions of Four Variables. Technical Report, Illinois University, Urbana-Champaign, Coordinated Science Lab., May 1976.
13. Reynolds D. A. The Design of Alternating Logic Systems with Fault Detection Capabilities. M.S. Thesis, Illinois University, Urbana-Champaign, Coordinated Science Lab., August 1976.
14. Reynolds D. A., Meize G. Fault Detection Capabilities of Alternating Logic. IEEE Transactions on Computers, 1978, vol. C-27, Iss. 12, pp. 1093–1098, DOI: 10.1109/TC.1978.1675011.
15. Biernat J. Self-Dual Modules in Design of Dependable Digital Devices. International Conference on Dependability of Computer Systems, May 25–27, 2006, Szklarska Poręba, Poland. DOI: 10.1109/DEPCOS-RELCOMEX.2006.50.
16. Rai S., Raita M., Sahoo S. S. et al. DISCERN: Distilling Standard-Cells for Emerging Reconfigurable Nanotechnologies. Design, Automation & Test in Europe Conference & Exhibition (DATE), March 9–13, 2020, Grenoble, France, DOI: 10.23919/DATE48585.2020.9116216.
17. Aksenova G. P. Vosstanovlenie v dublirovannykh ustroystvakh metodom invertirovaniya dannykh [Restoration in duplicated devices by data inversion]. *Avtomatika i Telemekhanika* [Automation and Telemechanics]. 1987, Iss. 10, pp. 144–153. (In Russian)
18. Sapozhnikov V. I., Dmitriev A., Goessel M. et al. Self-Dual Parity Checking — a New Method for on Line Testing. Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996, pp. 162–168.
19. Gessel M. Samotestiruemaya struktura dlya funktsional'nogo obnaruzheniya otkazov v kombinatsionnykh skhemakh [Self-testing structure for functional failure detection in combinational circuits]. *Avtomatika i Telemekhanika* [Automation and Telemechanics]. 1999, Iss. 11, pp. 162–174. (In Russian)
20. Sapozhnikov V. I., Moshanin V., Sapozhnikov V. V. et al. Experimental Results for Self-Dual Multi-Output Combinational Circuits. Journal of Electronic Testing: Theory and Applications, 1999, vol. 14, Iss. 3, pp. 295–300. DOI: 10.1023/A:1008370405607.

21. Gessel M. Obnaruzhenie neispravnostey v kombinatsionnykh skhemakh s pomoshch'yu samodvoystvennogo kontrolya [Fault detection in combinational circuits using self-dual control]. *Avtomatika i Telemekhanika* [Automation and Telemechanics]. 2000, Iss. 7, pp. 140–149. (In Russian)
22. Sapozhnikov V. V., Sapozhnikov VI. V., Valiev R. Sh. O sinteze samodvoystvennykh logicheskikh skhem s pamyat'yu [On the synthesis of self-dual logic circuits with memory]. *Elektronnoe modelirovanie* [Electronic modeling]. 2004, vol. 26, Iss. 2, pp. 39–56. (In Russian)
23. Sapozhnikov V. V., Sapozhnikov VI. V., Gessel' M. *Samodvoystvennye diskretnye ustroystva* [Self-dual discrete devices]. St. Petersburg: Energoatomizdat Publ. (Sankt-Peterburgskoe otdelenie), 2001, 331 p. (In Russian)
24. Sapozhnikov V. V., Sapozhnikov VI. V., Valiev R. Sh. *Sintez samodvoystvennykh dikretnykh sistem* [Synthesis of self-dual discrete systems]. St. Petersburg: Elmor Publ., 2006, 220 p. (In Russian)
25. Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V. et al. Obnaruzhenie neispravnostey v kombinatsionnykh skhemakh na osnove samodvoystvennogo dopolneniya do ravnovesnykh kodov [Fault detection in combinational circuits based on self-dual complement to equilibrium codes]. *Trudy Instituta sistemnogo programirovaniya RAN* [Proceedings of the Institute for System Programming of the Russian Academy of Sciences]. 2019, vol. 31, Iss. 1, pp. 115–132. DOI: 10.15514/ISPRAS-2019-31(1)-8. (In Russian)
26. Efanov D., Sapozhnikov V., Sapozhnikov VI. et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems. Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, 13–16 Sept. 2019, pp. 136–143. DOI: 10.1109/EWDTS.2019.8884398.
27. Efanov D. V., Pogodina T. S. Samodvoystvennyy kontrol' kombinatsionnykh skhem s primeneniem kodov Khehminga [Self-dual control of combinational circuits using Hamming codes]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of promising micro- and nanoelectronic systems (MES)]. 2022, Iss. 3, pp. 113–122. DOI: 10.31114/2078-7707-2022-3-113-122. (In Russian)
28. Efanov D. V., Pogodina T. S. Self-Dual Digital Devices with Calculations Testing by Modified Hamming Code. IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 24–27 Jan. 2023, St. Petersburg, Russia, pp. 72–77.
29. Efanov D. V., Pogodina T. S. Postroenie samoproveryaemykh tsifrovyykh ustroystv na osnove modifitsirovannykh kodov Khehminga s kontrol'em samodvoystvennosti vychislaemykh funktsiy [Construction of self-checking digital devices based on modified Hamming codes with self-duality control of calculated functions]. *Avtomatika na transporte* [Transport automation research]. 2023, vol. 9, Iss. 1, pp. 99–123. DOI: 10.20295/2412-9186-2023-9-01-99-123. (In Russian)
30. Efanov D. V., Pogodina T. S. Issledovanie svoystv samodvoystvennykh kombinatsionnykh ustroystv s kontrol'em vychisleniy na osnove kodov Khehminga [Investigation of the properties of self-dual combinational devices with control of calculations based on Hamming codes]. *Informatika i avtomatizatsiya* [Informatics and Automation]. 2023, vol. 22, Iss. 2, pp. 349–392. DOI: 10.15622/ia.22.2.5. (In Russian)
31. Chen Y., Zhang M., Hao J. The Circuit Design of Voltage-controlled Color Changing Lamp Based on Multisim. 2020 IEEE International Conference on Power, Intelligent Computing and Systems (ICPICS), 28–30 July 2020, Shenyang, China. DOI: 10.1109/ICPICS50287.2020.9202148.
32. Parkhomenko P. P., Sogomonyan E. S. *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Fundamentals of technical diagnostics (optimization of diagnostic algorithms, hardware)]. Moscow: Energoatomizdat Publ., 1981, 320 p. (In Russian)
33. Mikoni S. V. *Obshchie diagnosticheskie bazy znaniy vychislitel'nykh sistem* [General diagnostic knowledge bases of computing systems]. St. Petersburg: Sankt-Peterburgskiy institut informatiki i avtomatizatsii Publ., 1992, 234 p. (In Russian)