

# ТЕХНИЧЕСКАЯ ДИАГНОСТИКА И КОНТРОЛЕПРИГОДНЫЕ СИСТЕМЫ

УДК 004.052.32+681.518.5

**В. В. Сапожников, д-р техн. наук**  
**Вл. В. Сапожников, д-р техн. наук**

*Кафедра «Автоматика и телемеханика на железных дорогах»,  
Петербургский государственный университет путей сообщения  
Императора Александра I, Санкт-Петербург*

**Д. В. Ефанов, д-р техн. наук**

*ООО «ВЕГА ИНЖИНИРИНГ», Высшая школа транспорта  
Институт машиностроения, материалов и транспорта Санкт-Петербургского  
Политехнического университета Петра Великого, Санкт-Петербург*

## ОТКАЗОУСТОЙЧИВАЯ СТРУКТУРА НА ОСНОВЕ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ С КОНТРОЛЕМ ВЫЧИСЛЕНИЙ ПО ПАРИТЕТУ

Рассмотрены типовые отказоустойчивые структуры на основе многократного резервирования исходных дискретных устройств с последующим сравнением сигналов и маскировкой ошибок. Описаны основные достоинства и недостатки типовых отказоустойчивых структур. Предложена отказоустойчивая структура с уменьшенной сложностью технической реализации по сравнению с уже известными. Уменьшение сложности достигается за счет отказа от резервирования с целой кратностью и использования более простых устройств в схеме коррекции. В основе метода синтеза схемы коррекции лежит логическое дополнение сигналов. Приводится описание новой структуры, отмечены ее достоинства и недостатки. Предложен способ получения функций логического дополнения и коррекции сигналов. Дан пример синтеза отказоустойчивой структуры для комбинационного устройства автоматики. Обсуждаются результаты экспериментов с системой контрольных комбинационных устройств автоматики MCNC Benchmarks по синтезу отказоустойчивых структур различными методами.

Отказоустойчивые дискретные устройства; схемы коррекции ошибок, дискретные системы с обнаружением неисправностей, контроль по коду паритета, контроль по коду с суммированием, дублирование, троирование, мажоритарный принцип контроля, метод логического дополнения

DOI: 10.20295/2412-9186-2020-6-3-377-403

### Введение

При разработке систем управления ответственными технологическими процессами особое внимание уделяется обеспечению надежности и безопасности их функционирования. Ключевой метод достижения высокой надежности

и безопасности — использование резервирования на аппаратном и программном уровнях архитектур. Самым важным становится наделение разрабатываемых устройств свойствами обнаружения неисправностей и ошибок в вычислениях, а также коррекции ошибочных данных [1–5]. В этой связи широкого распространения достигли методы теории информации и кодирования. Следует отметить, что методы избыточного кодирования напрямую используются и при синтезе устройств с обнаружением неисправностей или с коррекцией неверных сигналов [6].

Для наделения устройства свойством обнаружения неисправностей достаточно учесть возможность фиксации неверно вычисленных значений. Это реализуется несколькими путями. Например, внесением избыточности в структуру исходного устройства, вывода данных из специально выбранных контрольных точек либо контроля корректности вычислений по выходным функциям. Последнюю особенность использует в полной мере структура системы с обнаружением неисправностей, основанная на принципе дублирования [7]. При дублировании применяются свойства кодов с повторением, а именно возможность обнаружения ими любых видов искажений в информационных разрядах кодовых слов [8]. Структурная схема системы дублирования включает в себя блоки основной и контрольной логики, а также самопроверяемый компаратор. Блок контрольной логики, как правило, является копией блока основной логики или устройством, синтезированным по иным принципам, но реализующим те же функции. Компаратор — это устройство сравнения значений на одноименных выходах блоков основной и контрольной логики. В практической реализации структурная избыточность системы дублирования оценивается величиной более чем 300–400 % от сложности реализации блока основной логики [5, 9].

Устройства со схемами коррекции гораздо сложнее с точки зрения технической реализации, чем устройства, снабженные только схемами обнаружения неисправностей. При их синтезе также используют методы теории кодирования. Например, для обнаружения однократных неисправностей применяют тройную избыточность и строят схемы, функционирующие с применением устройств выбора сигналов (мажоритарных органов), — так называемые *TMR*-системы (triple modular redundancy systems) [10–13]. При синтезе таких систем применяют три копии исходного объекта и снабжают их мажоритарной схемой коррекции сигналов [5]. Для идентификации неверно функционирующих блоков требуется дополнять их самопроверяемыми схемами встроенного контроля [9]. Широкое распространение получили также системы, основанные на принципе четырехкратной избыточности: один комплект, реализованный по принципу дублирования, находится под нагрузкой, а второй подключается при зафиксированном отказе первого [5]. Известны и иные модификации структур дублирования и троирования.

Исследования показывают, что для построения систем с обнаружением и коррекцией ошибок могут быть использованы более простые структуры. В этом

случае эффект достигается за счет применения метода логического дополнения [14–16] и синтеза встроенных схем вычисления функций коррекции сигналов по какому-либо признаку, например, с контролем корректности вычислений по заранее выбранному коду [17–19]. Такой подход позволяет синтезировать схемы коррекции, имеющие меньшую сложность реализации по сравнению с системой и дублирования, и троирования.

## 1. Отказоустойчивые структуры устройств автоматики

На практике широкого распространения достигли отказоустойчивые структуры, основанные на применении многократного резервирования (дублирования, троирования, четырехкратного резервирования и т. д.) аппаратных средств, что необходимо для выявления ошибочных результатов вычислений и их коррекции [2, 10, 20–25].

На рисунке 1 изображена структурная схема классической отказоустойчивой структуры системы с коррекцией данных по мажоритарному принципу (*TMR*-системы, или majority correction system). Чтобы достичь свойства отказоустойчивости относительно неисправностей, в данной структуре используются три идентичных устройства  $F(x)$ , вычисляющих одни и те же данные на одинаковых входных воздействиях. На одноименных выходах различных устройств имеются модули сравнения, функционирующие по принципу большинства «2 из 3» (элементы « $\geq 2$ »). Часто их называют мажоритарными элементами. Они позволяют маскировать ошибки, поскольку нечувствительны к однократным искажениям на входах и внутри их структуры (до выходного логического элемента). Широко известны и способы синтеза полностью самопроверяемых структур мажоритарных элементов. Тройная избыточность структуры, изображенной на рисунке 1, необходима для наделения ее свойством нечувствительности к проявлениям неисправностей на выходах основного устройства. На практике это приводит к существенному усложнению технической реализации конечного устройства. Кроме того, приведенная структура не может идентифицировать неверно функционирующее устройство. Проблема решается за счет дооснащения каждого блока полностью самопроверяемой схемой встроенного контроля, что, однако, влечет за собой еще большее усложнение конечного отказоустойчивого устройства.

Отметим, что в качестве дополнительных средств повышения отказоустойчивости и возможности фиксации широкого класса неисправностей используется диверсификация оборудования (компоненты, выполняющие идентичные функции, реализуются по различным принципам или меняются режимы и алгоритмы функционирования системы, вводятся резервы времени выполнения операций и т. п.) [2, 5].

Для построения отказоустойчивой структуры может быть применена структурная схема, включающая в себя вместо трех копий исходного объекта только

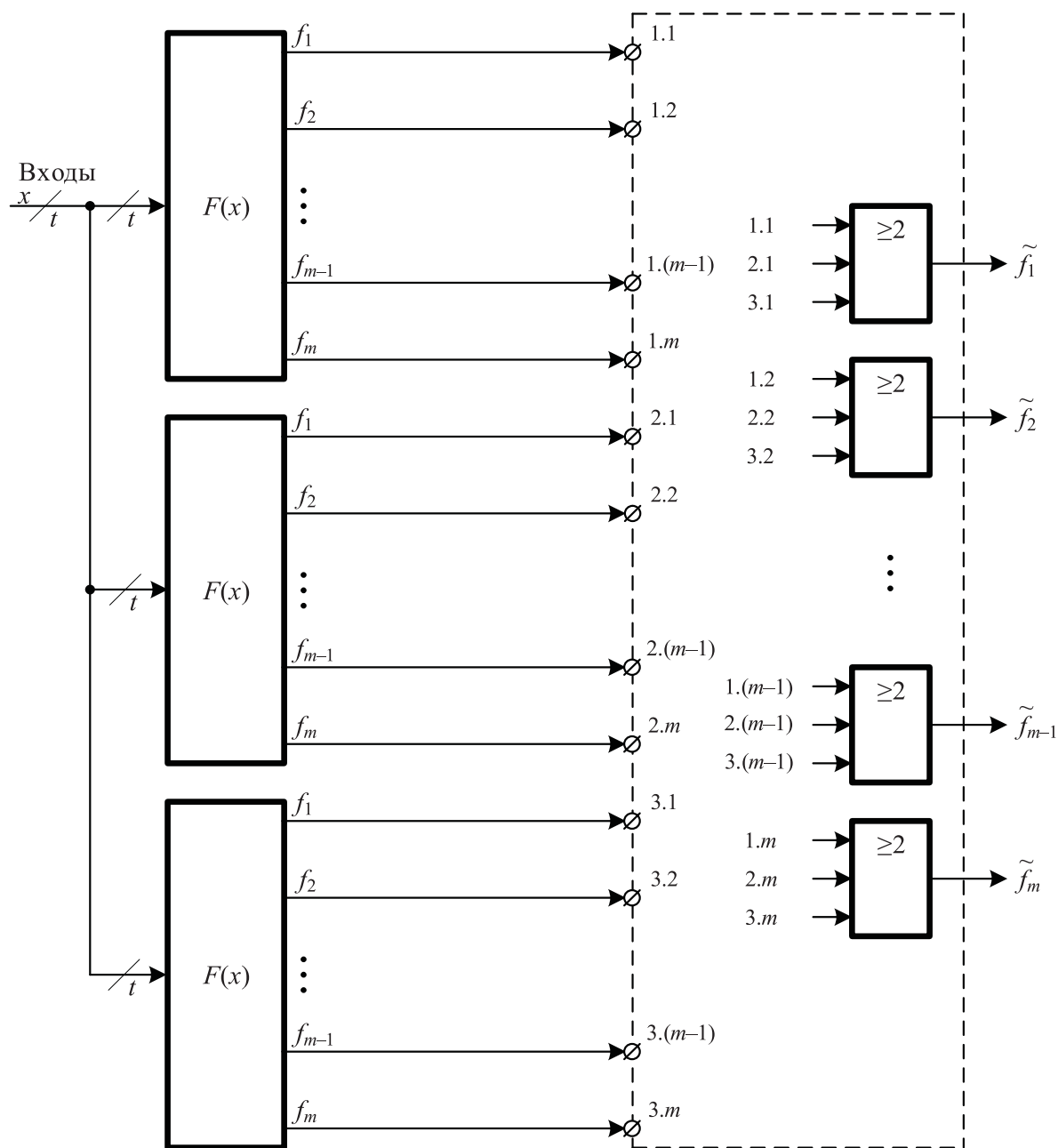


Рис. 1. Отказоустойчивая структура с мажоритарной коррекцией сигналов

две. При этом одна копия (или же оба комплекта устройств  $F(x)$ ) снабжается схемой контроля по какому-либо признаку и непосредственно схемой коррекции сигналов. Известны варианты реализации подобных схем, когда оба комплекта находятся под нагрузкой и когда один комплект под нагрузкой, а второй — в горячем резерве [5]. Для случая отказоустойчивых комбинационных схем целесообразно использовать вариант с постоянно нагруженными комплектами  $F(x)$  с контролем вычислений одного из них. Так, на рисунке 2 приведена структура системы дублирования с коррекцией и контролем вычислений по паритету

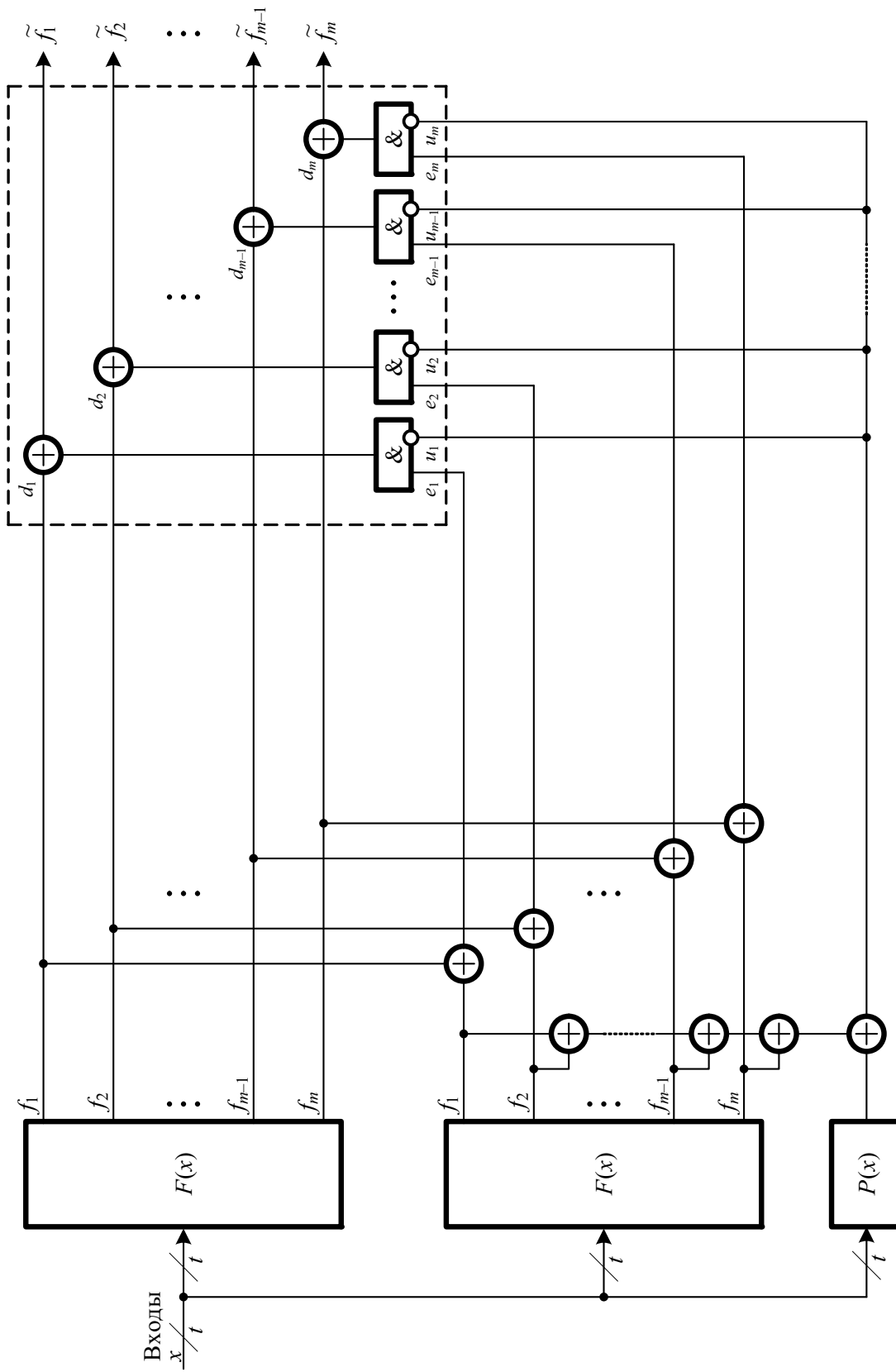


Рис. 2. Отказоустойчивая структура «дублирование с коррекцией»

(duplication correction system with parity checking). Далее будем называть ее системой «дублирование с коррекцией».

В структурной схеме системы «дублирование с коррекцией» имеется два идентичных устройства  $F(x)$ , вычисляющих в любой момент времени одинаковые значения выходных функций. Одно из устройств снабжается схемой контроля, например по классическому коду паритета. Значение функции паритета, вычисляемое схемой контроля по значениям выходных функций блока  $F(x)$ , сравнивается со значением функции паритета, вычисляемой по входным воздействиям блоком  $P(x)$ , с помощью элемента сложения по модулю два (элемента  $XOR$ ). Значение, полученное на выходе элемента сравнения, является функцией активации одного из двух входов каждого элемента умножения (элемента  $AND$ ) в схеме коррекции сигналов. Вторые входы каждого из данных элементов активируются при фиксации неверно вычисленных значений каскадом двухвходовых элементов  $XOR$ , на входы каждого из которых подключены одноименные выходы от двух различных копий устройств  $F(x)$ . Такая схема коррекции во многих случаях позволяет синтезировать более простые отказоустойчивые дискретные устройства, чем по структурной схеме с мажоритарной коррекцией.

При построении структуры «дублирование с коррекцией» возможно упрощение конечного устройства за счет оптимизации второго устройства  $F(x)$ .

Чтобы построить отказоустойчивую структуру с большим количеством одновременно возникающих неисправностей в различных компонентах, в т. ч. разных блоках  $F(x)$ , используются те же принципы, однако нужна куда большая избыточность аппаратных средств.

Покажем, что возможно построение отказоустойчивой структуры, которая содержит только одно исходное устройство  $F(x)$  и схемы контроля и коррекции сигналов. Она синтезируется на основе метода логического дополнения [14–16].

## 2. Отказоустойчивая структура на основе логического дополнения с коррекцией по паритету

Для построения новой отказоустойчивой структуры берется известный метод логического дополнения. Назовем новую структуру «логическим дополнением с коррекцией по паритету» (parity correction system based on Boolean complement).

В структуре на рисунке 3 блок  $F(x)$ , вычисляющий систему булевых функций  $f_1, f_2, \dots, f_{m-1}, f_m$  от  $t$  входных переменных, — исходное комбинационное устройство автоматики. Именно для него строится отказоустойчивая структура.  $G(x)$  — блок дополнения,  $R(x)$  — коррекции. Также используется блок вычисления функции паритета  $P(x)$  как схема контроля вычислений [26]. В качестве данного блока может выступать и многовыходной блок контроля по другому признаку, например по кодам с суммированием [27]. Использование другого кода вместо кода

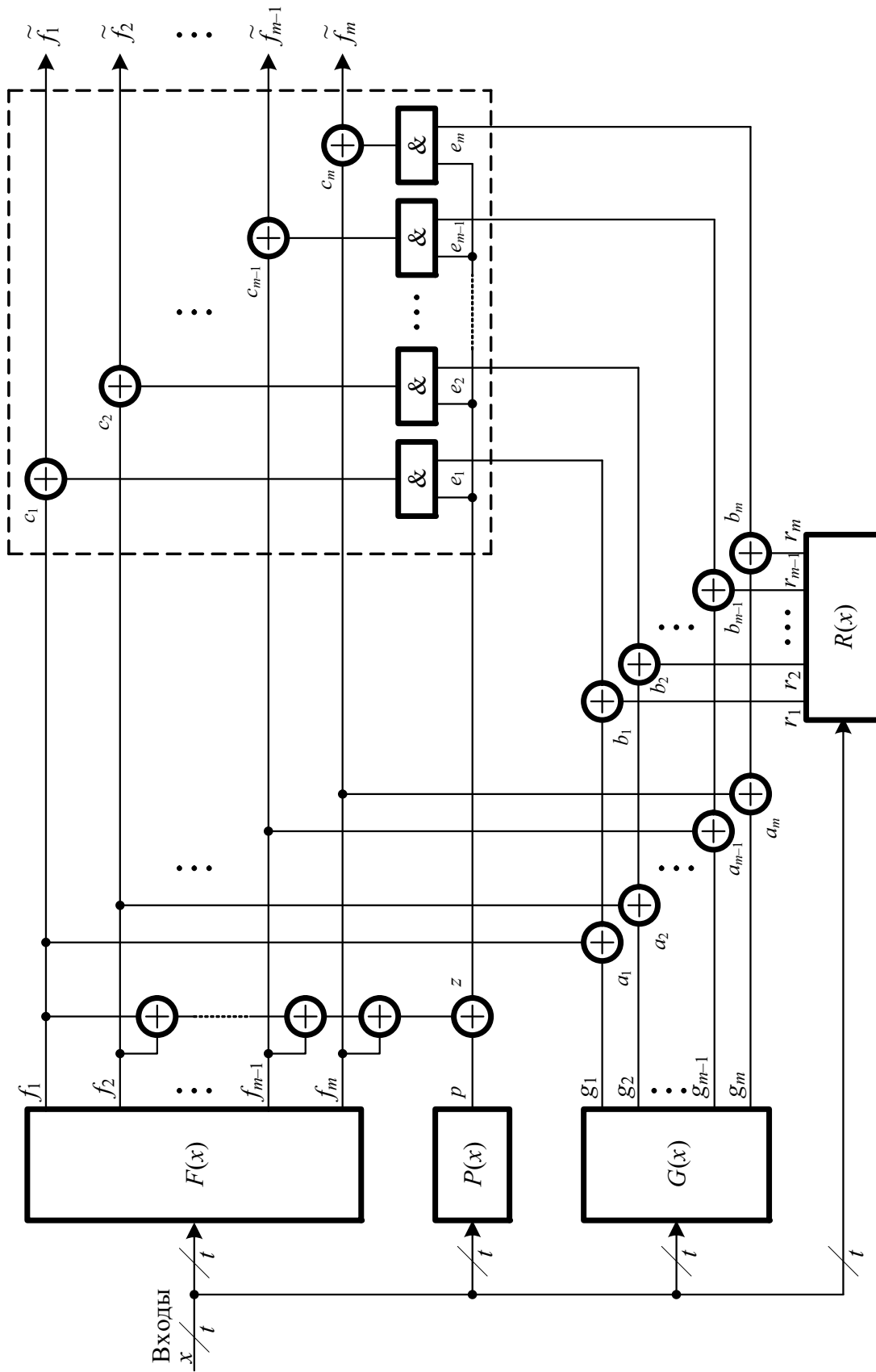


Рис. 3. Отказоустойчивая структура на основе контроля вычислений по паритету и последующей коррекции по методу дополнения



паритета, естественно, увеличивает сложность соответствующего блока, однако и повышает обнаруживающую способность.

Логическое дополнение используется в предложенной структуре на уровне подсхемы вычисления ошибки на выходах блока  $F(x)$  и подсхемы коррекции. Фактически подсхема фиксации ошибок идентична схеме функционального контроля по паритету с использованием функции дополнения, описанной в [26]. Остальные каскады сумматоров по модулю два в структуре, приведенной на рисунке 3, предназначены для идентификации неверно вычисленных значений функций  $f_1, f_2, \dots, f_{m-1}, f_m$  и их исправления.

Неисправности, возникающие в блоке  $F(x)$ , искажают значения рабочих функций  $f_1, f_2, \dots, f_{m-1}, f_m$  на определенных входных наборах. Это приводит к искажению значения функции паритета на том же входном наборе, если ошибка в выходном векторе  $\langle f_m f_{m-1} \dots f_2 f_1 \rangle$  не является ошибкой четной кратностью (в данном конкретном случае, т. к. использован контроль вычислений по паритету, при котором любая ошибка четной кратностью не будет обнаружена [28]). Значения функций  $g_1, g_2, \dots, g_{m-1}, g_m$ , вычисляемых блоком  $G(x)$ , и функций  $r_1, r_2, \dots, r_{m-1}, r_m$ , вычисляемых блоком  $R(x)$ , подбираются на этапе проектирования структуры таким образом, чтобы при штатной работе (в отсутствие неисправностей) значения функций активации коррекции  $e_1, e_2, \dots, e_{m-1}, e_m$  были равными 0. В этом случае на логических элементах  $AND$  блока принятия решений формируются сигналы 0 и сигналы на рабочих выходах схемы остаются равными  $\tilde{f}_i = f_i \oplus (e_i = 0) = f_i$ . Неисправности в блоке  $F(x)$  искажают значения функции паритета, а также функций дополнения  $a_1, a_2, \dots, a_{m-1}, a_m$ . Это приводит к активации функций коррекции. Особенности синтеза блоков  $G(x)$  и  $R(x)$  будут рассмотрены далее.

Дополнение  $G(x)$  обнаруживает все одиночные неисправности в схеме  $F(x)$ . Паритет обнаруживает неисправности в  $F(x)$ , которые проявились на нечетном числе входов. Известны [6, 9] методы синтеза устройств, контролепригодных для использования кодов паритета, а также методы организации контроля по группам выходов комбинационных устройств.

Ошибки, возникающие на выходах схемы  $F(x)$  из-за ее внутренних неисправностей, корректируются, если дополнение и паритет одновременно обнаружили ошибку, т. е.:

$$\tilde{f}_i = \begin{cases} f_i \oplus 1, & \text{при } e_i = 1 \& z = 1; \\ f_i, & \text{в другом случае.} \end{cases} \quad (2)$$

Корректирующая способность для данной структуры ограничивается возможностями обнаружения ошибок с помощью паритета. Однако это только в том случае, если при синтезе отказоустойчивой системы существует ограничение, связанное с невозможностью анализа и изменения структуры самого объекта  $F(x)$ . Если же такая процедура возможна, то сам объект  $F(x)$  может быть реали-



зован в виде пригодного к контролю по коду паритета устройства – устройства с независимыми выходами [6, 9]. Альтернативным вариантом может быть синтез отдельных подсхем контроля по коду паритета для групп независимых выходов устройства  $F(x)$  [27].

Рассмотрим работу предложенной структуры при неисправностях в  $G(x)$ ,  $P(x)$  и  $XOR$ 's. Пусть неисправность возникает в блоке  $P(x)$  или в одном из элементов каскада вычисления функции  $z$ . В этом случае сигнал  $z = 1$ , но сигнал  $e_i$  остается равным 0, и коррекции правильного выхода  $f_i$  не происходит. Если же неисправность возникает в блоке  $G(x)$ , то сигнал  $e_i = 1$ , но сигнал  $z = 0$ , и коррекции правильного выхода  $f_i$  также не происходит. При неисправности в блоках  $XOR$ 's  $a_i$  или  $b_i$  сигнал  $e_i$  может быть равен как 0, так и 1, но сигнал  $z$  все время равен 0, поэтому коррекции правильного выхода  $f_i$  опять же не происходит. Анализ показывает, что ложная коррекция в данной структуре возможна только из-за неисправностей на входах/выходах  $XOR$ 's  $c_i$ . Этот недостаток структуры устраняется путем использования высоконадежных элементов сложения по модулю два в выходном каскаде коррекции.

### 3. Способ синтеза блоков логического дополнения и коррекции сигналов

Рассмотрим один из способов синтеза блоков дополнения и коррекции для предложенной отказоустойчивой структуры. При этом в качестве функций коррекции  $r_1, r_2, \dots, r_{m-1}, r_m$  выступают только переменные  $x_j$ , что позволяет не синтезировать блок  $R(x)$  как таковой (это будет фактически коммутатор входных воздействий). Задача синтеза – получение функций логического дополнения  $g_1, g_2, \dots, g_{m-1}, g_m$ .

#### Правила синтеза блока дополнительной логики

1. Для каждой функции  $f_i (i \in \{1, 2, \dots, m\})$  осуществляется поиск переменной  $x_j$ , которая позволяет получить наиболее простое с точки зрения технической реализации решение, и строится структура, приведенная на рисунке 4.

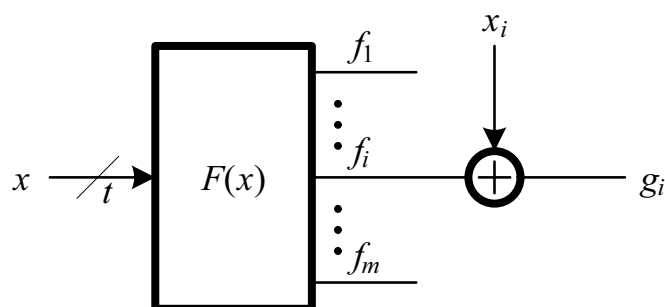


Рис. 4. Структурная схема получения функции дополнения

2. Полагаем  $i = 1$ .
3. Полагаем  $j = 1$ .
4. Выбираем функцию  $f_i$  и вычисляем для нее вариант функции дополнения  $g_i$  по переменной  $x_j$  на всех входных наборах  $\langle x_1, x_2, \dots, x_{i-1}, x_{i+1}, \dots, x_n \rangle$ .
5. Минимизируем полученную функцию  $g_i$  и записываем ее в память.
6. Полагаем  $j := j + 1$ .
7. Проверяем условие достижения конечной входной переменной  $x_i: j > t$ ? Если нет, то возвращаемся к пункту 4 данного алгоритма. В противном случае переходим к пункту 8.
8. Полагаем  $i := i + 1$ .
9. Проверяем условие достижения конечной функции  $f_m: i > m$ ? Если нет, то возвращаемся к пункту 3 данного алгоритма. В противном случае переходим к пункту 10.
10. Для каждой функции  $g_i$  определяется та переменная  $(x_j^i)_{\min}$ , дополнение по которой дает наименьшую сложность реализации в выбранном элементном базисе.
11. Собирается структура, приведенная на рисунке 5.
12. Структурная схема, полученная на предыдущем этапе, оптимизируется, что и дает конечную структурную схему блока  $G(x)$ .

Отметим, что при реализации блока  $G(x)$  на этапе оптимизации его структуры может быть осуществлена совместная оптимизация сразу нескольких вариантов функций дополнения и выбор наилучшего варианта. Однако это увеличивает сложность самого процесса оптимизации и эффективно может использоваться на ограниченном числе входных переменных  $x_1, x_2, \dots, x_{i-1}, x_i$  (как правило, до 30–35 при мощности современных вычислительных систем).

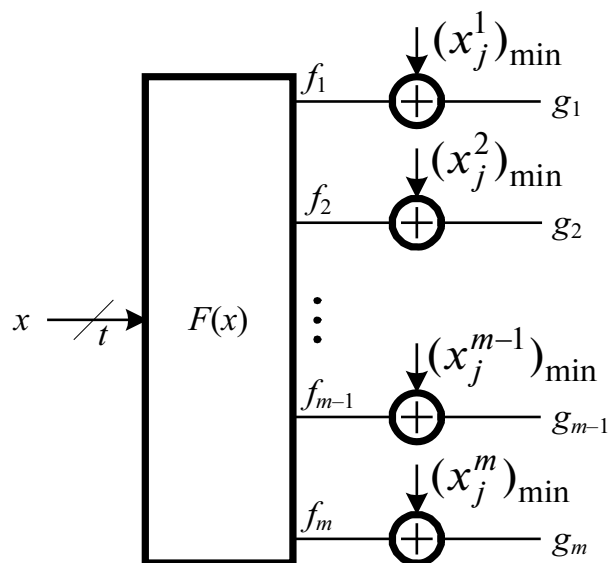


Рис. 5. Структурная схема получения блока  $G(x)$

#### 4. Пример синтеза отказоустойчивой структуры

Рассмотрим особенности построения предложенной отказоустойчивой структуры на следующем примере.

Пусть дано комбинационное устройство  $F(x)$ , имеющее четыре входа и пять выходов (рис. 6), описываемых следующей системой функций алгебры логики:

$$\begin{cases} f_1 = \overline{x_1} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_3} \overline{x_4}; \\ f_2 = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4}; \\ f_3 = \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_2} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_4}; \\ f_4 = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_2} \overline{x_3} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_4}; \\ f_5 = \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} \overline{x_4} \vee \overline{x_1} \overline{x_2} \overline{x_3} \overline{x_4}. \end{cases}$$

Построим для заданного устройства  $F(x)$  отказоустойчивую структуру в соответствии со структурой, изображенной на рисунке 3, и предложенным выше алгоритмом.

Схема, приведенная на рисунке 6, реализована как комбинационное устройство автоматики с независимыми выходами.

По этой причине на входах второго каскада схемы выходы предыдущего каскада используются только единожды. Это позволяет любой одиночной неисправности в схеме проявляться в виде одиночного искажения на выходах  $f_i$  и обнаруживаться в схеме контроля.

Воспользуемся непосредственно представленным выше алгоритмом получения значений функций логического дополнения и коррекции сигналов. Следуя его пунктам, построим таблицу 1, включающую описание каждой из функций дополнения, а также функции паритета.

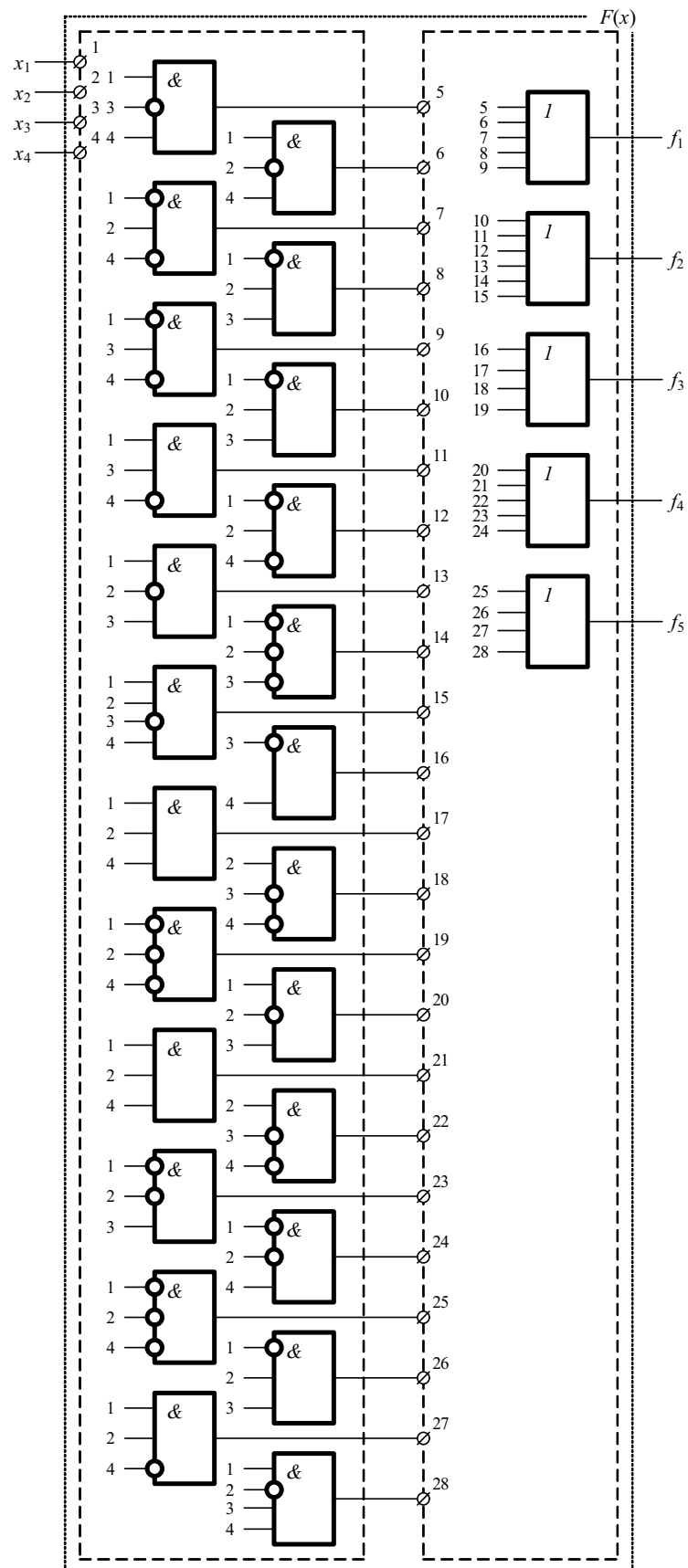
Среди каждой группы функций  $g_1^j = f_1 \oplus x_j$ ,  $g_2^j = f_2 \oplus x_j$ ,  $g_3^j = f_3 \oplus x_j$ ,  $g_4^j = f_4 \oplus x_j$  и  $g_5^j = f_5 \oplus x_j$  определяем наилучшие с точки зрения технической реализации варианты дополнения. Будем оценивать их по показателю  $L$  – числа внутренних входов логических элементов схемы без учета инверсий на входах [29]. Например, сложность блока  $F(x)$ , изображенного на рисунке 6,  $L_{F(x)} = 97$ .

Функция, реализуемая на выходе блока  $P(x)$ :

$$p = (\overline{x_1} \vee x_2 \vee x_3)(\overline{x_1} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_4})(x_1 \vee x_2 \vee \overline{x_3} \vee x_4).$$

Сложность реализации такой функции (рис. 7) равна  $L_{P(x)} = 14$ .

Наиболее простые функции для реализации на выходе блока  $G(x)$  имеют следующий вид:

Рис. 6. Структурная схема блока  $F(x)$

**Таблица 1.** Описание функций схемы коррекции

Входные комбинации	Выходы блока $F(x)$	Выход блока $P(x)$	Выходы блока $G(x)$ до оптимизации				
			$g_1^j = f_1 \oplus x_j$	$g_2^j = f_2 \oplus x_j$	$g_3^j = f_3 \oplus x_j$	$g_4^j = f_4 \oplus x_j$	$g_5^j = f_5 \oplus x_j$
$x_1x_2$ $x_3x_4$	$f_1f_2f_3$ $f_4f_5$	$p$	$g_1^1 g_1^2 g_1^3 g_1^4$	$g_2^1 g_2^2 g_2^3 g_2^4$	$g_3^1 g_3^2 g_3^3 g_3^4$	$g_4^1 g_4^2 g_4^3 g_4^4$	$g_5^1 g_5^2 g_5^3 g_5^4$
0000	01101	1	0000	1111	1111	0000	1111
0001	01110	1	0001	1110	1110	1110	0001
0010	10111	0	1101	0010	1101	1101	1101
0011	00010	1	0011	0011	0011	1100	0011
0100	10110	1	1011	0100	1011	1011	0100
0101	00100	1	0101	0101	1010	0101	0101
0110	11001	1	1001	1001	0110	0110	1001
0111	11001	1	1000	1000	0111	0111	1000
1000	11000	0	0111	0111	1000	1000	1000
1001	10100	0	0110	1001	0110	1001	1001
1010	11010	1	0101	0101	1010	1010	1010
1011	01011	1	1011	0100	1011	0100	0100
1100	00111	1	1100	1100	0011	0011	0011
1101	11111	1	0010	0010	0010	0010	0000
1110	01000	1	1110	0001	1110	1110	1100
1111	00110	0	1111	1111	0000	0000	1111

$$g_1^1 = x_2x_3 \vee \overline{x_2x_4} \vee \overline{x_1x_3x_4} = a \vee b \vee c\overline{x_4};$$

$$g_2^3 = \overline{x_1x_2} \vee \overline{x_1x_2x_4} \vee \overline{x_2x_3x_4} = \overline{x_1x_2} \vee \overline{x_1x_2x_4} \vee d\overline{x_4};$$

$$g_3^1 = \overline{x_1x_3} \vee \overline{x_2x_4} \vee \overline{x_1x_2x_3} \vee \overline{x_1x_3x_4} = \overline{x_1x_3} \vee b \vee x_1(e \vee \overline{x_3x_4});$$

$$g_4^2 = \overline{x_1x_4} \vee \overline{x_1x_3} \vee \overline{x_2x_3x_4} \vee \overline{x_2x_3x_4} = x_4(\overline{x_1} \vee e) \vee c \vee a\overline{x_4};$$

$$g_5^1 = x_2x_3 \vee \overline{x_2x_4} \vee \overline{x_1x_2x_3} = a \vee b \vee x_1d.$$

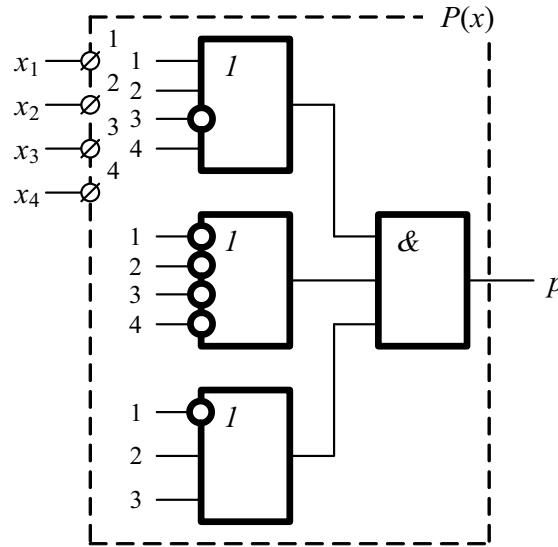


Рис. 7. Структурная схема блока  $P(x)$

Использование полученных выше функций позволяет синтезировать блок дополнения в виде схемы, приведенной на рисунке 8. Ее сложность составляет  $L_{G(x)} = 50$ .

Таким образом, отказоустойчивая структура для заданного комбинационного устройства выглядит так, как это показано на рисунке 9. На нем также показана работа схемы коррекции при поступлении на входы системы кодового вектора  $\langle x_4 x_3 x_2 x_1 \rangle = \langle 0000 \rangle$  и возникновении ошибки вида  $0 \rightarrow 1$  на выходе  $f_1$ .

Учитывая сложности реализации элементов коррекции и дополнения сигналов,  $L_{XOR} = 6$  и  $L_{AND} = 2$ , получим значение сложности технической реализации отказоустойчивой структуры с коррекцией по коду паритета:

$$L_{PC} = L_{F(x)} + L_{G(x)} + L_{P(x)} + 20L_{XOR} + 5L_{AND} = 97 + 50 + 14 + 20 \cdot 6 + 5 \cdot 2 = 291.$$

Данная величина указывает на то, что сложность структурной схемы с коррекцией сигналов в 2,88 раза превышает сложность реализации самого блока  $F(x)$ . Сравним полученный результат со сложностью традиционной отказоустойчивой структуры «дублирование с коррекцией», приведенной на рисунке 2, и структурой на основе использования мажоритарного принципа «2 из 3», приведенной на рисунке 1.

Сложность системы «дублирование с коррекцией» определяется величиной:

$$L_D = 2L_{F(x)} + L_{P(x)} + 3 \cdot 5 \cdot L_{XOR} + 5L_{AND} = 2 \cdot 97 + 14 + 90 + 5 = 303.$$

Найдем отношение величин  $L_{PC}$  и  $L_D$ :

$$\delta = \frac{L_{PC}}{L_D} \cdot 100\% = \frac{291}{303} \cdot 100\% \approx 96,04\%.$$

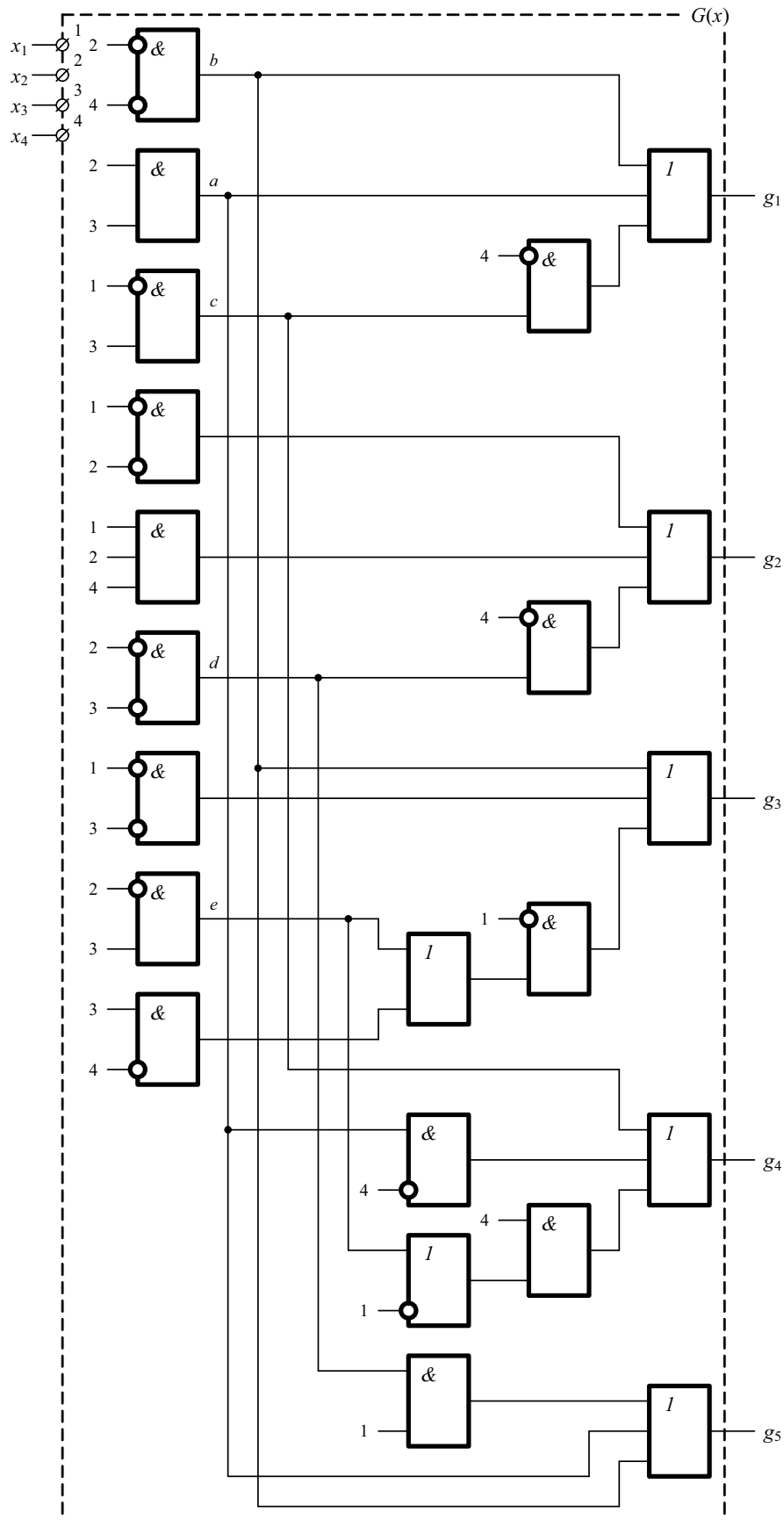


Рис. 8. Структурная схема блока  $G(x)$



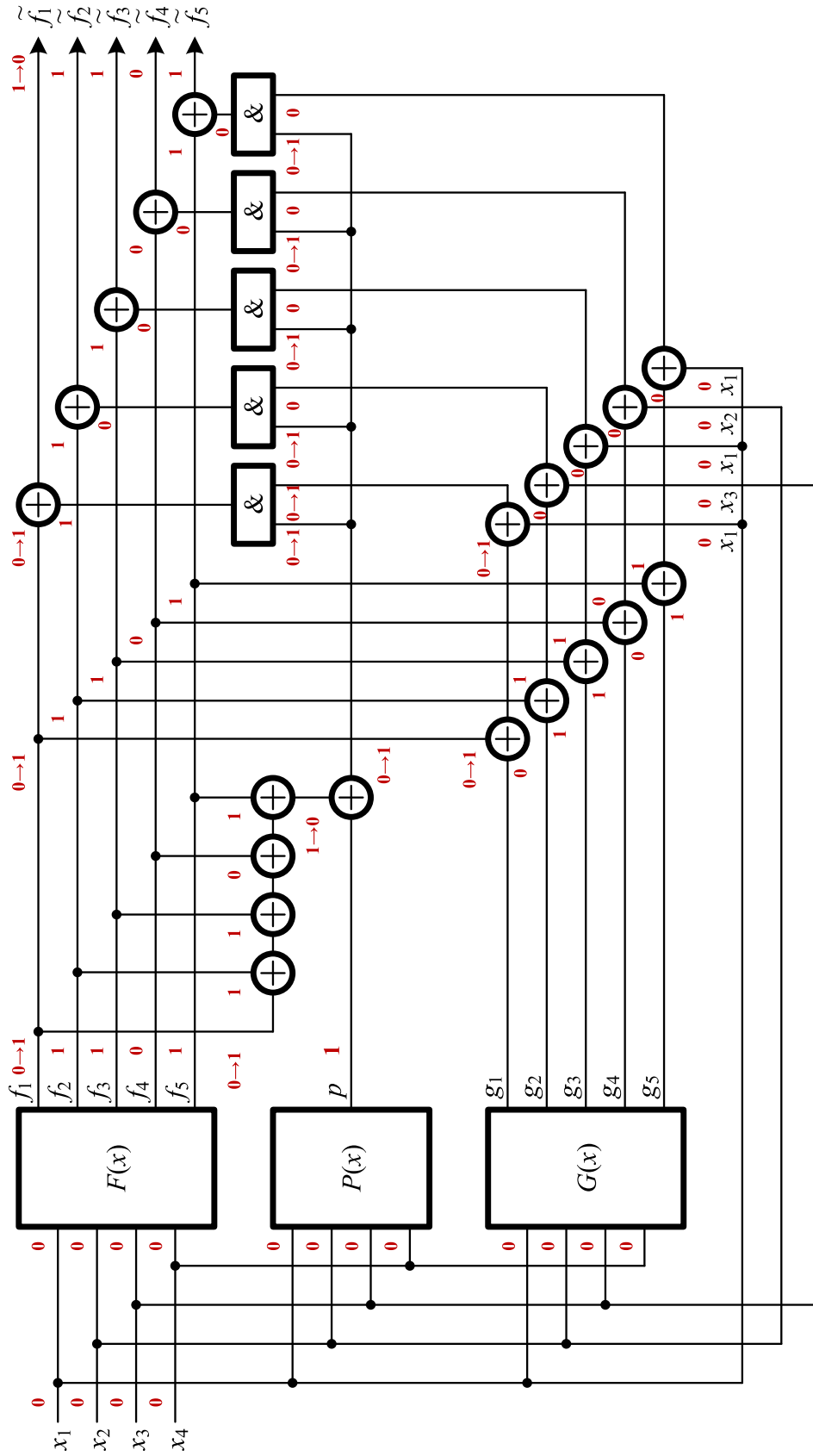


Рис. 9. Схема отказоустойчивого комбинационного устройства

Из полученного результата следует, что система, полученная на основе логического дополнения с контролем по коду паритета, для рассматриваемого комбинационного устройства является более простой, чем система «дублирование с коррекцией».

Сравним величину  $L_{PC}$  с величиной сложности реализации схемы коррекции по принципу «2 из 3» ( $L_{MC}$ ), изображенной на рисунке 1 (в ней использованы мажоритарные элементы (рис. 10), сложность которых оценивается величиной  $L_{\geq 2} = 9$ ):

$$L_{MC} = 3L_{F(x)} + 5L_{\geq 2} = 3 \cdot 97 + 5 \cdot 9 = 336.$$

Найдем отношение величин  $L_{PC}$  и  $L_{MC}$ :

$$\mu = \frac{L_{PC}}{L_{MC}} \cdot 100\% = \frac{291}{336} \cdot 100\% \approx 86,607\%.$$

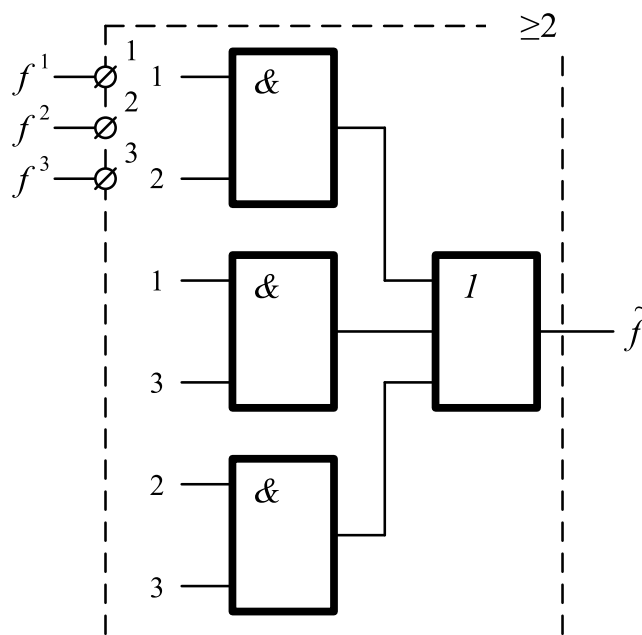


Рис. 10. Структурная схема элемента «2 из 3»

Полученный результат свидетельствует о том, что выигрыш в сложности технической реализации схемы «логическое дополнение с коррекцией по паритету» на основе кода паритета перед схемой мажоритарной коррекции составляет более 10%.

Таким образом, предложенная отказоустойчивая структура обладает преимуществом перед известными схемами коррекции.

## 5. Результаты экспериментов

В ходе исследований особенностей предложенной отказоустойчивой структуры были проведены экспериментальные исследования с комбинационными устройствами из специального набора контрольных схем [30, 31].

Эксперименты заключались в синтезе отказоустойчивых комбинационных схем по предложенной на рисунке 3 структуре, а также в анализе корректирующей способности. Для каждой контрольной схемы строилась предложенная структура, а также вычислялась занимаемая площадь (*area overhead*) в числе букв в формульной записи (*literals*). В ходе оценки корректирующей способности схем коррекции моделировалась работа контрольных комбинационных схем на 1000 псевдослучайных входных наборов при внесении последовательно всех одиночных константных неисправностей на выходах их внутренних логических элементов. Вероятность коррекции ошибки  $p_c$  определялась по формуле:

$$p_c = \frac{\sum_{i=1}^N \frac{n_i}{1000}}{N}, \quad (3)$$

где  $N$  — число всех неисправностей для данной структуры (в эксперименте рассматривалась модель одиночных константных неисправностей);  $n_i$  — число входных векторов, на которых присутствует правильный выходной вектор.

В таблице 2 приведены результаты экспериментов для предложенной структуры. Дополнение  $G(x)$  получено представленным выше способом. В качестве корректирующих функций  $r_1, r_2, \dots, r_{n-1}, r_m$  были выбраны входные переменные, что позволило отказаться от реализации блока  $R(x)$ . В эксперименте производилось сравнение сложности технической реализации предложенной схемы коррекции с двумя известными схемами — «дублирование с коррекцией» и схемы с мажоритарным принципом коррекции. В таблице представлены результаты расчетов величин площадей составляющих системы коррекции на основе логического дополнения с контролем по паритету, а также результирующие величины для всех трех систем —  $L_{PC}, L_D, L_{MC}$ . В последних двух столбцах таблицы представлены характеристики  $\delta$  и  $\mu$ . Они показывают, какую долю площади занимает система «логическое дополнение с коррекцией по паритету» от площадей системы «дублирование с коррекцией» и системы с мажоритарной коррекцией.

В ходе эксперимента для структурной схемы отказоустойчивой системы получены следующие средние показатели: средняя площадь блока вычисления функции паритета составила 28,6 % от средней площади исходной схемы, блока контрольной логики — 38,9 %, дополнительных элементов — 81,5 %. В среднем вся отказоустойчивая структура занимает площадь, равную 249 % от площади исходной схемы. Эти результаты соизмеримы с результатами оценки сложности технической реализации систем с обнаружением неисправностей на основе дублирования. Сравним системы с коррекцией ошибок.

**Таблица 2.** Результаты экспериментов по оценке сложности технической реализации

№ п/п	Контрольная схема	t	m	L <sub>F(x)</sub>	Сложность составляющих структуры «логическое дополнение с коррекцией по паритету»			L <sub>PC</sub>	L <sub>D</sub>	L <sub>MC</sub>	δ, %	μ, %
					L <sub>P(x)</sub>	L <sub>G(x)</sub>	L <sub>XORS</sub> +L <sub>ANDS</sub>					
1	5xp1	7	10	218	66	47	180	511	642	744	79,595	68,683
2	b1	3	4	17	6	5	72	100	96	87	104,167	114,943
3	bw	5	28	296	11	175	504	986	995	1140	99,095	86,491
4	clip	9	5	366	127	106	90	689	929	1143	74,166	60,28
5	cm138a	6	8	35	3	31	144	213	185	177	115,135	120,339
6	cm42a	4	10	35	3	35	180	253	213	195	118,779	129,744
7	cm82a	5	3	26	25	22	54	127	119	105	106,723	120,952
8	cmb	16	4	62	20	32	72	186	200	222	93	83,784
9	con1	7	2	32	22	22	36	112	114	114	98,246	98,246
10	cu	14	11	90	26	53	198	367	360	369	101,944	99,458
11	f51m	8	8	169	99	41	144	453	549	579	82,514	78,238
12	idd	9	19	173	14	89	342	618	626	690	98,722	89,565
13	misex1	8	7	131	22	54	126	333	382	456	87,173	73,026
14	misex2	25	18	228	57	121	324	730	765	846	95,425	86,288
15	pm1	16	13	85	55	51	234	425	407	372	104,423	114,247
16	rd53	5	3	82	33	34	54	203	239	273	84,937	74,359
17	rd73	7	3	275	62	88	54	479	654	852	73,242	56,221
18	rd84	8	4	305	70	98	72	545	736	951	74,049	57,308
19	sao2	10	4	284	65	130	72	551	689	888	79,971	62,05
20	term1	34	10	625	194	126	180	1125	1584	1965	71,023	57,252
21	x2	10	7	71	20	47	126	264	260	276	101,538	95,652
22	z4ml	7	4	77	53	25	72	227	263	267	86,312	85,019
Средние значения				167,364	47,864	65,091	151,364	431,682	500,318	577,773	92,281	86,916

Для 15 из 22 схем получены значения величин  $\delta < 100\%$ , причем для ряда схем этот показатель не превышает  $80\%$ . Гораздо больший эффект получен при сравнении со схемой коррекции на основе мажоритарного принципа – для 17 из 22 схем получены значения  $\mu < 100\%$ , а для некоторых – менее  $70\%$ . Средние значения относительных показателей  $\delta = 92,281\%$  и  $\mu = 86,916\%$ , что говорит о преимуществе предложенной структурной схемы перед известными.

В таблице 3 приведены данные по рассчитанным значениям вероятностей коррекции ошибок для выбранных контрольных комбинационных устройств. При проведении экспериментов специально не выделялись группы независимых выходов и не модифицировались структуры исходных комбинационных

**Таблица 3.** Результаты экспериментов по оценке вероятности коррекции ошибки

№ п/п	Контрольная схема	$p_c$
1	5xp1	0,958857
2	b1	0,911765
3	bw	0,954941
4	clip	0,986697
5	cm138a	0,918367
6	cm42a	0,914774
7	cm82a	0,940566
8	cmb	0,955479
9	con1	0,962706
10	cu	0,937016
11	f51m	0,945205
12	ldd	0,93921
13	misex1	0,960326
14	misex2	0,94939
15	pm1	0,938583
16	rd53	0,97218
17	rd73	0,987358
18	rd84	0,983732
19	sao2	0,985739
20	term1	0,984985
21	x2	0,94715
22	z4ml	0,957597
Среднее значение		0,95421

устройств. Таким образом, тестирование контрольных схем осуществлялось без привязки к особенностям их структуры; соответственно, не были исключены ошибки с четными кратностями (напомним, что они не обнаруживаются при контроле по паритету). Вероятности коррекции ошибок для структур каждого из рассматриваемых комбинационных устройств больше 0,9, а для ряда схем – свыше  $p_c = 0,98$ . Среднее значение анализируемой величины –  $p_c = 0,95421$ . Это свидетельствует о высокой эффективности самих схем коррекции для представленных контрольных комбинационных устройств.

### Заключение

Предложенная отказоустойчивая структура, основанная на логическом дополнении и использовании контроля вычислений в блоке основной логики по коду паритета, позволяет находить любые неисправности, возникающие в блоке  $F(x)$ , которые проявляются в виде искажений значений на его выходах. При этом, однако, в структуре не будут обнаруживаться неисправности элементов *XOR* выходного каскада коррекции. Данная проблема решается путем выбора высоконадежных элементов сложения по модулю два.

В сравнении с традиционными структурами «дублирование с коррекцией» и системой на основе мажоритарного принципа коррекции предложенная отказоустойчивая структура оказывается более выгодной по показателям сложности технической реализации. Эффект при использовании новой структуры по сравнению со структурой «дублирование с коррекцией» оценивается сокращением аппаратных затрат на 25–30 %, а по сравнению с мажоритарной – на 40–45 %.

Как показал эксперимент, использование предложенной в статье схемы коррекции сигналов позволяет достигать высоких показателей корректирующей способности даже без анализа их структурных схем, модификации схем в схеме с независимыми выходами и без выделения групп независимых выходов. В эксперименте получено среднее число для 22 комбинационных устройств  $p_c = 0,95421$ .

Использование логического дополнения при синтезе отказоустойчивых устройств автоматики открывает новые пути реализации схем коррекции с уменьшенной избыточностью. Кроме того, могут быть разработаны структуры, устойчивые к проявлению множественных неисправностей, а их избыточность будет существенно ниже избыточности традиционных структур с коррекцией сигналов путем выбора большинства верных сигналов.

### Библиографический список

1. *Goessel M. Error Detection Circuits / M. Goessel, S. Graf.* – London: McGraw-Hill, 1994. – 261 p.

2. Сапожников В. В. Методы построения безопасных микроэлектронных систем железнодорожной автоматики / В. В. Сапожников, Вл. В. Сапожников, Х. А. Христов, Д. В. Гавзов; под ред. Вл. В. Сапожникова. – М.: Транспорт, 1995. – 272 с.
3. *Abramovici M.* Digital System Testing and Testable Design / M. Abramovici, M. A. Breuer, A. D. Friedman. – Computer Science Press, 1998. – 652 p.
4. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications / E. Fujiwara. – New York: John Wiley & Sons, 2006. – 720 p.
5. Сапожников В. В. Основы теории надежности и технической диагностики / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. – Санкт-Петербург: Издательство «Лань», 2019. – 588 с.
6. Сапожников В. В. Коды Хэмминга в системах функционального контроля логических устройств / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. – СПб.: Наука, 2018. – 151 с.
7. *Göessel M.* New Methods of Concurrent Checking: Edition 1 / M. Göessel, V. Ocheretny, E. Sogomonyan, D. Marienfeld. – Dordrecht: Springer Science+Business Media B. V., 2008. – 184 p.
8. Березюк Н. Т. Кодирование информации (двоичные коды) / Н. Т. Березюк, А. Г. Андрущенко, С. С. Мощицкий, В. И. Глушков, М. М. Бенеша, В. А. Гаврилов; под ред. Н. Т. Березюка. – Харьков, издательское объединение «Вища школа», 1978. – 252 с.
9. Согомонян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомонян, Е. В. Слабаков. – М.: Радио и связь, 1989. – 208 с.
10. *Sogomonyan E. S.* Self-Correction Fault-Tolerant Systems / E. S. Sogomonyan. – 2018. – 30 p.
11. *Chakraborty A.* Fault Tolerant Fail Safe System for Railway Signalling / A. Chakraborty // Proceedings of the World Congress on Engineering and Computer Science (WCECS 2009). – USA, San Francisco, 2009. – Vol. II. – P. 2–7.
12. *Ubar R.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source) / R. Ubar, J. Raik, H.-T. Vierhaus // Information Science Reference. – New York, Hershey: IGI Global, 2011. – 578 p.
13. *Borecký J.* Enhanced Duplication Method with TMR-Like Masking Abilities / J. Borecký, M. Kohlík, P. Vít, H. Kubátová // Euromicro Conference on Digital System Design (DSD). – Limassol, Cyprus, 2016. – Vol. 1. – P. 690–693. DOI: 10.1109/DSD.2016.91
14. Гессель М. Логическое дополнение – новый метод контроля комбинационных схем / М. Гессель, А. В. Морозов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2003. – № 1. – С. 167–176.
15. Сапожников В. В. Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода «1 из 3» / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Электронное моделирование. – 2016. – Т. 38, № 6. – С. 25–43.
16. Ефанов Д. В. Синтез самопроверяемых схем встроенного контроля на основе метода логического дополнения до равновесного кода «2 из 4» / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников, Д. В. Пивоваров // Информатика. – 2018. – Т. 15, № 4. – С. 71–85.
17. Аксенова Г. П. Построение самопроверяемых схем встроенного контроля для автоматов с памятью / Г. П. Аксенова, Е. С. Согомонян // Автоматика и телемеханика. – 1975. – № 7. – С. 132–142.



18. Аксенова Г. П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 / Г. П. Аксенова // Автоматика и телемеханика. – 1979. – № 9. – С. 126–135.
19. Аксенова Г. П. О функциональном диагностировании дискретных устройств в условиях работы с неточными данными / Г. П. Аксенова // Проблемы управления. – 2008. – № 5. – С. 62–66.
20. Щербаков Н. С. Достоверность работы цифровых устройств / Н. С. Щербаков. – М.: Машиностроение, 1989. – 224 с.
21. Микони С. В. Общие диагностические базы знаний вычислительных систем / С. В. Микони. – СПб.: СПИИРАН, 1992. – 234 с.
22. Hamamatsu M. Finding the Optimal Configuration of a Cascading TMR System / M. Hamamatsu, T. Tsuchiya, T. Kikuno // 14th IEEE Pacific Rim International Symposium on Dependable Computing, 15–17 December 2008. – Taiwan, Taipei, 2008. – P. 329–350. DOI: 10.1109/PRDC.2008.12
23. Matsumoto K. Evaluating the Fault Tolerance of Stateful TMR / K. Matsumoto, M. Uehara, H. Mori // 13th International Conference on Network-Based Information Systems, 14–16 September 2010. – Japan, Takayama, 2010. – P. 332–336. DOI: 10.1109/NBiS.2010.86.
24. Останин С. А. Синтез отказоустойчивых комбинационных схем / С. А. Останин // Прикладная дискретная математика (приложение № 1). – 2009. – № 1. – С. 71–72.
25. Стемпковский А. Л. Методы синтеза сбоеустойчивых комбинационных КМОП схем, обеспечивающих автоматическое исправление ошибок / А. Л. Стемпковский, Д. В. Тельпухов, Т. Д. Жукова, С. И. Гуров, Р. А. Соловьев // Известия ЮФУ. Технические науки. – 2017. – № 7. – С. 197–210. DOI 10.23683/2311-3103-2017-7-197-210
26. Saposhnikov V. V. Self-Dual Parity Checking – a New Method for on Line Testing / V. V. Saposhnikov, A. Dmitriev, M. Goessel, V. V. Saposhnikov // Proceedings of 14th IEEE VLSI Test Symposium. – USA, Princeton, 1996. – P. 162–168.
27. Сапожников В. В. Коды с суммированием для систем технического диагностирования / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Классические коды Бергера и их модификации. – СПб.: Наука, 2020. – Т. 1. – 383 с.
28. Ефанов Д. В. Применение модульных кодов с суммированием для построения систем функционального контроля комбинационных логических схем / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2015. – № 10. – С. 152–169.
29. Сапожников В. В. Самопроверяемые дискретные устройства / В. В. Сапожников, Вл. В. Сапожников. – СПб: Энергоатомиздат, 1992. – 224 с.
30. Sentovich E. M. Sequential Circuit Design Using Synthesis and Optimization / E. M. Sentovich, K. J. Singh, C. Moon, H. Savoj, R. K. Brayton, A. Sangiovanni-Vincentelli // VLSI in Computers & Processors: Proceedings IEEE International Conference on Computer Design, 11–14 October 1992. – USA, MA, Cambridge, 1992. – P. 328–333. DOI: 10.1109/ICCD.1992.276282
31. Collection of Digital Design Benchmarks. – URL: <http://ddd.fit.cvut.cz/prj/Benchmarks> (дата обращения: 03.10.2019).

**V.V. Sapozhnikov**  
**VI.V. Sapozhnikov**

*The department of "Automation and Telemechanics on the Railway"  
Emperor Alexander I St. Petersburg State Transport University, Saint Petersburg*

**D.V. Efanov**

*Higher School of Transport, Institute of Mechanical Engineering, Materials and Transport,  
Peter the Great St. Petersburg Polytechnic University, Saint Petersburg*

## **FAULT-TOLERANT STRUCTURE BASED ON BOOLEAN COMPLEMENT WITH PARITY CALCULATIONS CONTROL**

The paper discusses typical fault-tolerant structures based on multiple redundancy of original discrete devices with subsequent comparison of signals and error concealment. The main advantages and disadvantages of typical fault-tolerant structures are described. A fault-tolerant structure with a reduced technical implementation complexity in comparison with those already known is proposed. The complexity is reduced by eliminating redundancy with integer multiplicity and using simpler devices in the correction circuit. The correction circuit synthesis method is based on the Boolean complement of signals. The new structure is described, its advantages and disadvantages are specified. The paper proposes a method for obtaining Boolean complement and signal correction functions. An example of a fault-tolerant structure synthesis for a combinational automation device is given. The experiment results using the MCNC Benchmarks system of control combinational automation devices for the synthesis of fault-tolerant structures by various methods are discussed.

Fault-tolerant discrete devices, error correction circuits, discrete systems with fault detection, control by parity code, control by summation code, duplication, triplication, majority control principle, Boolean complement method

DOI: 10.20295/2412-9186-2020-6-3-377-403

### **References**

1. *Goessel M. & Graf S. (1994) Error Detection Circuits. London, McGraw-Hill Publ., 1994, 261 p.*
2. *Sapozhnikov V. V., Sapozhnikov VI. V., Khristov Kh. A. & Gavzov D. V. (1995) Metody postroyeniya bezopasnykh mikroelektronnykh sistem zheleznodorozhnoy avtomatiki [Methods for building safe microelectronic systems of railway automation]. Edited by VI. V. Sapozhnikov. Moscow, Transport Publ., 1995, 272 p. (In Russian)*
3. *Abramovici M., Breuer M. A. & Friedman A. D. (1998) Digital System Testing and Testable Design. Computer Science Press, 1998, 652 p.*
4. *Fujiwara E. (2006) Code Design for Dependable Systems. Theory and Practical Applications. New York, John Wiley & Sons Publ., 2006, 720 p.*
5. *Sapozhnikov V. V., Sapozhnikov VI. V. & Efanov D. V. (2019) Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki [Reliability and technical diagnostics theory fundamentals]. Saint Petersburg, Lan' Publishing House, 2019, 588 p. (In Russian)*

6. Sapozhnikov V. V., Sapozhnikov V. V. & Efanov D. V. (2018) Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv [Hamming codes in logical devices' functional control systems]. Saint Petersburg, Nauka Publ., 2018, 151 p. (In Russian)
7. Göessel M., Ocheretny V., Sogomonyan E. & Marienfeld D. (2008) New Methods of Concurrent Checking. Edition 1. Dordrecht, Springer Science+Business Media B. V. Publ., 2008, 184 p.
8. Berezyuk N. T., Andrushchenko A. G., Moshchitskiy S. S., Glushkov V. I., Benesha M. M. & Gavrilov V. A. (1978) Kodirovaniye informatsii (dvoichnyye kody) [Information coding (binary codes)]. Edited by N. T. Berezyuk. Kharkov, "Vishcha Shkola" Publishing Association, 1978, 252 p. (In Russian)
9. Sogomonyan E. S. & Slabakov E. V. (1989) Samoproveryayemye ustroystva i otkazoustoychivyye sistemy [Self-checking devices and fault-tolerant systems]. Moscow, Radio i svyaz' Publ., 1989, 208 p. (In Russian)
10. Sogomonyan E. S. (2018) Self-Correction Fault-Tolerant Systems. Preprint, 2018, 30 p.
11. Chakraborty A. Fault Tolerant Fail Safe System for Railway Signalling. *Proceedings of the World Congress on Engineering and Computer Science (WCECS 2009)*. USA, San Francisco, 2009, vol. II, pp. 2–7.
12. Ubar R., Raik J. & Vierhaus H.-T. (2011) Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). *Information Science Reference*. New York, Hershey: IGI Global Publ., 2011, 578 p.
13. Borecký J., Kohlík M., Vít P. & Kubátová H. (2016) Enhanced Duplication Method with TMR-Like Masking Abilities. *Euromicro Conference on Digital System Design (DSD)*. Limassol, Cyprus, 2016, vol. 1, pp. 690–693. DOI: 10.1109/DSD.2016.91
14. Gessel' M., Morozov A. V., Sapozhnikov V. V. Sapozhnikov V. V. (2003) Logicheskoye dopolneniye – novyy metod kontrolya kombinatsionnykh skhem [Logic complement, a new method of checking the combinational circuits]. *Avtomatika i telemekhanika [Automation and Remote Control]*, no. 1, pp. 167–176. (In Russian)
15. Sapozhnikov V. V., Sapozhnikov V. V. & Efanov D. V. (2016) Postroyeniye polnost'yu samoproveryayemykh struktur sistem funktsional'nogo kontrolya s ispol'zovaniyem ravnovesnogo koda "1 iz 3" [Formation of totally self-checking structures of concurrent error detection systems with the use of 1-out-of-3 constant-weight code]. *Electronic Modeling*, 2016, vol. 38, no. 6, pp. 25–43. (In Russian)
16. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V. & Pivovarov D. B. (2018) Sintez samoproveryayemykh skhem vstroyennogo kontrolya na osnove metoda logicheskogo dopolneniya do ravnovesnogo koda «2 iz 4» [Synthesis of a self-checking integrated control circuit using the Boolean complement method up to 2-out-of-4 constant-weight code]. *Informatika*, 2018, vol. 15, no. 4, pp. 71–85. (In Russian)
17. Aksyonova G. P. & Sogomonyan E. S. (1975) Postroyeniye samoproveryayemykh skhem vstroyennogo kontrolya dlya avtomatov s pamyat'yu [Design of self-checking circuits of in-built testing for automata with memory]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 1975, no. 7, pp. 132–142. (In Russian)
18. Aksyonova G. P. (1979) Neobkhodimyye i dostatochnyye usloviya postroyeniya polnost'yu proveryayemykh skhem svertki po modulyu 2 [Necessary and sufficient conditions for design of completely checkable modulo 2 convolution circuits]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 1979, no. 9, pp. 126–135. (In Russian)
19. Aksyonova G. P. (2008) O funktsional'nom diagnostirovani diskretnykh ustroystv v usloviyakh raboty s netochnymi dannymi [On functional diagnostics of discrete devices under conditions

- of operation with inaccurate data]. *Problemy upravleniya [Control sciences]*, 2008, no. 5, pp. 62–66. (In Russian)
20. *Scherbakov N. S.* (1989) Dostovernost' raboty tsifrovyykh ustroystv [The reliability of digital devices]. Moscow, Mashinostroyeniye Publ., 1989, 224 p. (In Russian)
  21. *Mikoni S. V.* (1992) Obshchiye diagnosticheskiye bazy znaniy vychislitel'nykh sistem [General diagnostic knowledge base of computing systems.]. Saint Petersburg, SPIIRAN (St. Petersburg Institute for Informatics and Automation of the Russian Academy of Sciences) Publ., 1992, 234 p. (In Russian)
  22. *Hamamatsu M., Tsuchiya T. & Kikuno T.* (2008) Finding the Optimal Configuration of a Cascading TMR System. *14th IEEE Pacific Rim International Symposium on Dependable Computing*, 15–17 December 2008. Taiwan, Taipei, 2008, pp. 329–350. DOI: 10.1109/PRDC.2008.12.
  23. *Matsumoto K., Uehara M. & Mori H.* (2010) Evaluating the Fault Tolerance of Stateful TMR. *13th International Conference on Network-Based Information Systems*, 14–16 September 2010. Japan, Takayama, 2010, pp. 332–336. DOI: 10.1109/NBiS.2010.86
  24. *Ostainin S. A.* (2009) Sintez otkazoustoychivyykh kombinatsionnykh skhem [Synthesis of fault-tolerant combinational circuits]. *Applied Discrete Mathematics (Supplement No.1)*, 2009, no. 1, pp. 71–72. (In Russian)
  25. *Stempkovskiy A. L., Tel'pukhov D. V., Zhukova T. D., Gurov S. I. & Solov'yev R. A.* (2017) Metody sinteza sboyeustoychivyykh kombinatsionnykh KMOP skhem, obespechivayushchikh avtomaticheskoye ispravleniye oshibok [Synthesis methods of fault-tolerant combination CMOS circuits, providing automatic correction of errors]. *Izvestiya SFedU. Engineering Sciences*, 2017, no. 7, pp. 197–210. DOI 10.23683/2311-3103-2017-7-197-210 (In Russian)
  26. *Saposhnikov V. V., Dmitriev A., Goessel M. & Saposhnikov V. V.* (1996) Self-Dual Parity Checking – a New Method for on Line Testing. *Proceedings of 14th IEEE VLSI Test Symposium*. USA, Princeton, 1996, pp. 162–168.
  27. *Sapozhnikov V. V., Sapozhnikov V. V. & Efanov D. V.* (2020) Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya [Summation codes for technical diagnostics systems]. *Klassicheskiye kody Bergera i ikh modifikatsii [Classic Berger codes and their modifications]*. Saint Petersburg, Nauka Publ., 2020, vol. 1, 383 p. (In Russian)
  28. *Efanov D. V., Sapozhnikov V. V. & Sapozhnikov V. V.* (2015) Primeneniye modul'nykh kodov s summirovaniyem dlya postroyeniya sistem funktsional'nogo kontrolya kombinatsionnykh logicheskikh skhem [Applications of modular summation codes to concurrent error detection systems for combinational boolean circuits]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 2015, no. 10, pp. 152–169. (In Russian)
  29. *Sapozhnikov V. V. & Sapozhnikov V. B.* (1992) Samoproveryayemyye diskretnyye ustroystva [Self-checking discrete devices]. Saint Petersburg, Energoatomizdat Publ., 1992, 224 p. (In Russian)
  30. *Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K. & Sangiovanni-Vincentelli A.* (1992) Sequential Circuit Design Using Synthesis and Optimization. *VLSI in Computers & Processors*. Proceedings IEEE International Conference on Computer Design, 11–14 October 1992. USA, MA, Cambridge Publ., 1992, pp. 328–333. DOI: 10.1109/ICCD.1992.276282
  31. *Collection of Digital Design Benchmarks*. URL: <http://ddd.fit.cvut.cz/prj/Benchmarks/> (accessed: 03.10.2019).

*Статья представлена к публикации членом редколлегии Убаром Р.  
Поступила в редакцию 19.11.2019, принята к публикации 03.12.2019*

*САПОЖНИКОВ Валерий Владимирович* – доктор технических наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I

e-mail: port.at.pgups1@gmail.com

*САПОЖНИКОВ Владимир Владимирович* – доктор технических наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I

e-mail: sapozhnikov-at@yandex.ru

*ЕФАНОВ Дмитрий Викторович* – доктор технических наук, доцент, первый заместитель генерального директора – главный инженер ООО «ВЕГА ИНЖИНИРИНГ», профессор Высшей школы транспорта Института машиностроения, материалов и транспорта Санкт-Петербургского политехнического университета Петра Великого, профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте» Российского университета транспорта

e-mail: TrES-4b@yandex.ru

© Сапожников Вал. В., Сапожников Вл. В., Ефанов Д. В., 2020